

# Informatica Industriale - Appello del 20/06/2011

Cognome .....Nome .....

1. Si indichi la funzionalità svolta dalla subroutine ARM qui a fianco alla quale viene passato in R0 un numero naturale positivo. Si dica cosa viene restituito nei due registri R0 ed R1 quando in ingresso si passano i valori 4 e 9.
2. In una vettura di F1 il motore sviluppa da 15000 a 18000 rpm al massimo. Si intende progettare una sistema di misura (a latenza zero) di questa velocità con un PLC posizionato nei pressi dell'encoder (con risoluzione di 5°) che rileva la rotazione. La misura deve arrivare comunque entro 1 msec, con una forchetta sulla stima entro +/-1%. Si scelga una delle tecniche note di acquisizione di impulsi in maniera da minimizzare l'errore, si determinino frequenze minime e massime realmente misurabili con il sistema progettato, definendo il valore minimo al di sotto del quale per il sistema la vettura è ferma.
3. L'informazione di velocità dell'esercizio precedente viene inviata dal PLC ad una ECU intelligente a microprocessore montata sulla vettura. Si provi ad ipotizzare il tempo necessario perché questa informazione arrivi alla centralina ed a valutare se questo è compatibile con le velocità della macchina e le distanze percorribili. Si descriva poi il meccanismo di sincronizzazione implementato nel protocollo Can utile anche a compensare sfasamenti dovuti alle distanze tra i nodi.
4. Descrivere sinteticamente tutte le fasi del flusso di progettazione di una FPGA indicando quali di esse vengono svolte automaticamente dal software e quali necessitano un contributo significativo da parte dell'utente.

```

SUB: STMFD SP!, {R2}
      MOV R1, #0
      MOV R2, #1
ST1: SUBS R0, R0, R2
      BLMI ST2
      ADD R1, R1, #1
      ADD R2, R2, #2
      B ST1

ST2: ADD R0, R0, R2
      LDMFD SP!, {R2}
      MOV PC, LR
    
```

La logica in figura calcola i valori di y e z secondo le seguenti formule:

$$y = 4096x^2 + (d+e)x + c \qquad z = 4096x^2 + gx + f \qquad d, e, c, g, f \text{ sono interi a 32 bit con segno.}$$

Considerando di avere a disposizione una FPGA Cyclon 2 EP2C20F484C7N (le cui caratteristiche sono riportate in figura...) quali errori saranno generati durante la compilazione? A quale fase del flusso precedentemente descritto sono riconducibili? Come potrebbero essere risolti?

Supponendo di aver risolto gli errori in fase di compilazione, il programma funzionerà sempre correttamente? Perché?

Device	EP2C5	EP2C8	EP2C15	EP2C20	EP2C35	EP2C50	EP2C70
LEs	4,608	8,256	14,448	18,752	33,216	50,528	68,416
M4K RAM Blocks (4 kbits + 512 Parity Bits)	26	36	52	52	105	129	250
Embedded Memory (Kbits)	117	162	234	234	473	581	1,125
18-Bit x 18-Bit Embedded Multipliers	13	18	26	26	35	86	150
PLLs	2	2	4	4	4	4	4
Maximum User I/O Pins	158	182	315	315	475	450	622
Differential Channels	58	77	132	132	205	193	262
Availability	<a href="#">Buy Now</a>	<a href="#">Buy Now</a>	<a href="#">Buy Now</a>	<a href="#">Buy Now</a>	<a href="#">Buy Now</a>	<a href="#">Buy Now</a>	<a href="#">Buy Now</a>
Cyclone II "A" Fast On Variant <a href="#">(1)</a>	<a href="#">Yes (3)</a>	Industrial Automotive	<a href="#">Yes (2)</a>	Industrial Automotive	N/A	N/A	N/A

