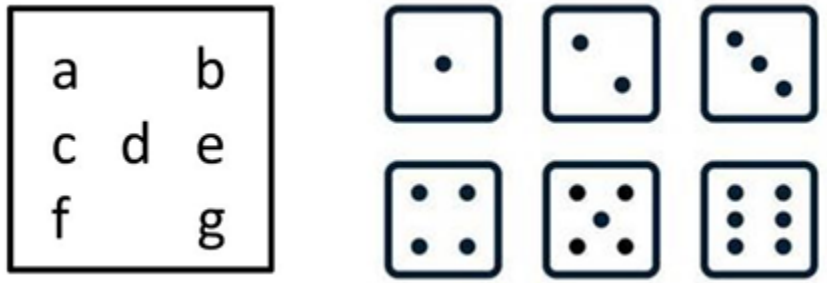
RETI LOGICHE

ESERCITAZIONI
CONCLUSIVE

Esercitazioni Conclusive

Esercizio 2 - 24 Febbraio 2023

- Un gioco elettronico usa una matrice di sette diodi LED per rappresentare il risultato del lancio di un dado. Progettare un decodificatore 3-8 per accendere i LED corrispondenti alle sei configurazioni possibili illustrate in figura. Il decodificatore 3-8 dovrà essere abbinato opportunamente a delle porte OR per associare le combinazioni dei tre bit di ingresso X_2, X_1 ed X_0 (da 001 a 110) alle uscite a, b, c, d, e, f, g. Considerare le combinazioni 000 e 111 come di non specificazione.

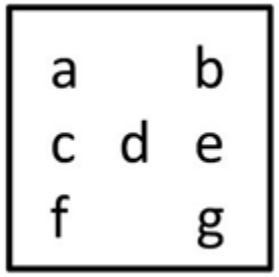


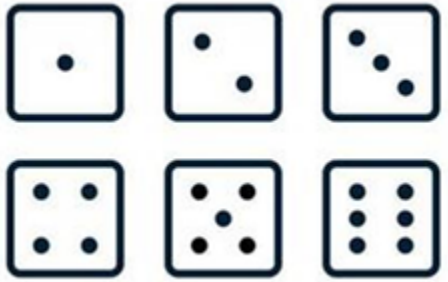
Esercitazioni Conclusive

X_2	X_1	X_0	D0	D1	D2	D3	D4	D5	D6	D7
0	0	0	X	X	X	X	X	X	X	X
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	X	X	X	X	X	X	X	X

$$D_1 = \overline{X_2}\,\overline{X_1}\,X_0$$
$$D_2 = \overline{X_2}X_1\overline{X_0}$$
$$D_3 = \overline{X_2}\,X_1X_0$$
$$D_4 = X_2\overline{X_1}\,\overline{X_0}$$
$$D_5 = X_2\overline{X_1}X_0$$
$$D_6 = X_2X_1\overline{X_0}$$

Esercitazioni Conclusive





a = $D_2 + D_3 + D_4 + D_5 + D_6$

b = $D_4 + D_5 + D_6$

c = D_6

d = $D_1 + D_3 + D_5$

e = D_6

f = $D_4 + D_5 + D_6$

g = $D_2 + D_3 + D_4 + D_5 + D_6$

Esercitazioni Conclusive

Esercizio 1 - 17 Marzo 2023

- Si progetti un sistema di controllo di un processo industriale. Il sistema ha come ingressi un sensore di disponibilità del materiale (M=0 materiale non disponibile, M=1 materiale disponibile), 7 sensori di pressione Pi con i=0,…,6 (Pi=0 pressione corretta, Pi=1 pressione anomala), 4 sensori di temperatura Ty con y=0,…,3 (Ty=1 temperatura corretta, Ty=0 temperatura anomala), A abilitazione sistema (A=1 sistema abilitato, A=0 sistema disabilitato). Le uscite del sistema sono lavorazione attiva (L=1 la lavorazione è attiva, L=0 la lavorazione non è attiva) e sirena (S=1 sirena attiva, S=0 sirena non attiva). L'abilitazione A attiva il sistema e la lavorazione viene attivata se e solo se è disponibile il materiale e tutte le pressioni e temperature rilevate sono corrette. Se il sistema è abilitato ed almeno uno dei dei sensori rileva un'anomalia, la lavorazione deve essere fermata e la sirena viene attivata. In tutte le altre condizioni il sistema non avvia la lavorazione e la sirena non è abilitata. Si proponga un'implementazione di costo minimo del sistema calcolando anche il costo totale degli ingressi.

Esercitazioni Conclusive

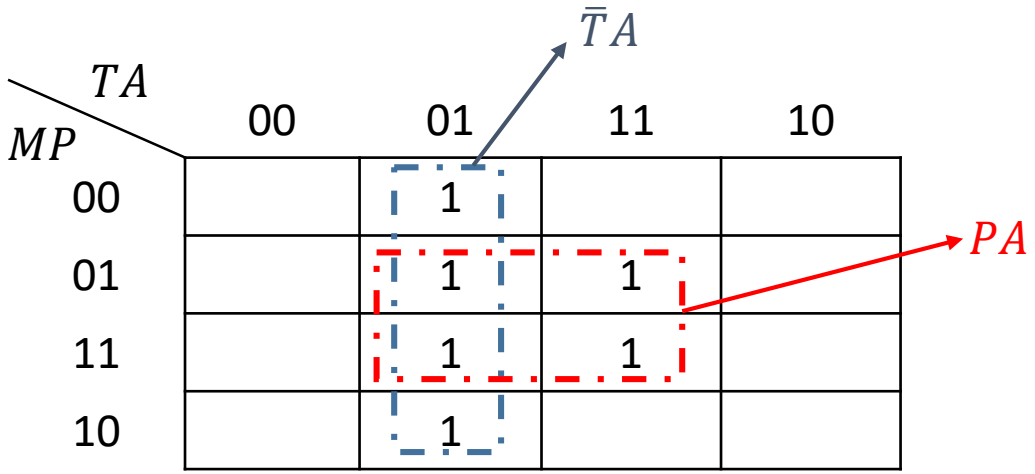
Pi con i=0,…,6 (Pi=0 pressione corretta, Pi=1 pressione anomala) $P = P_0 + P_1 + P_2 + P_3 + P_4 + P_5 + P_6$

Ty con y=0,…,3 (Ty=1 temperatura corretta, Ty=0 temperatura anomala) $T = T_0 T_1 T_2 T_3$

M	P	T	A	L	S
1	0	1	1	1	0
0	0	1	1	0	0
X	X	0	1	0	1
X	1	X	1	0	1
X	X	X	0	0	0

$L = M\bar{P}TA$

$S = \bar{T}A + PA$



Costo di L: 7 NOR per P + 4 AND per T + 4 AND = 15 Costo di S: 4 NAND per T + 7 OR per P + 4 AND+ 2 OR = 17

Esercitazioni Conclusive

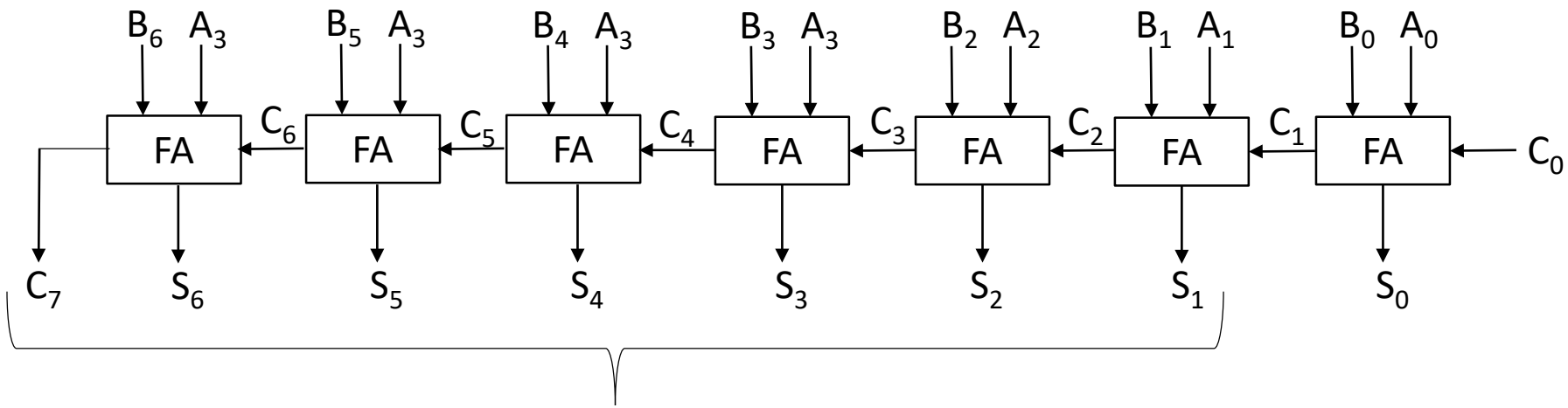
Esercizio 1 - 19 Luglio 2024

- Si progetti un sistema in grado di calcolare il valore medio tra due numeri A e B espressi in complemento a 2. Il numero A può assumere valori nel range [-5;3] mentre il numero B nel range [-36;2]. Partendo dal circuito realizzato, si progetti un nuovo circuito nel quale al valore A viene sostituito il valore costante -3. Calcolare il ritardo di propagazione del circuito finale assumendo che ogni porta logica abbia un ritardo pari a 3 ns.

A [-5;3] => 4 bit in complemento a 2

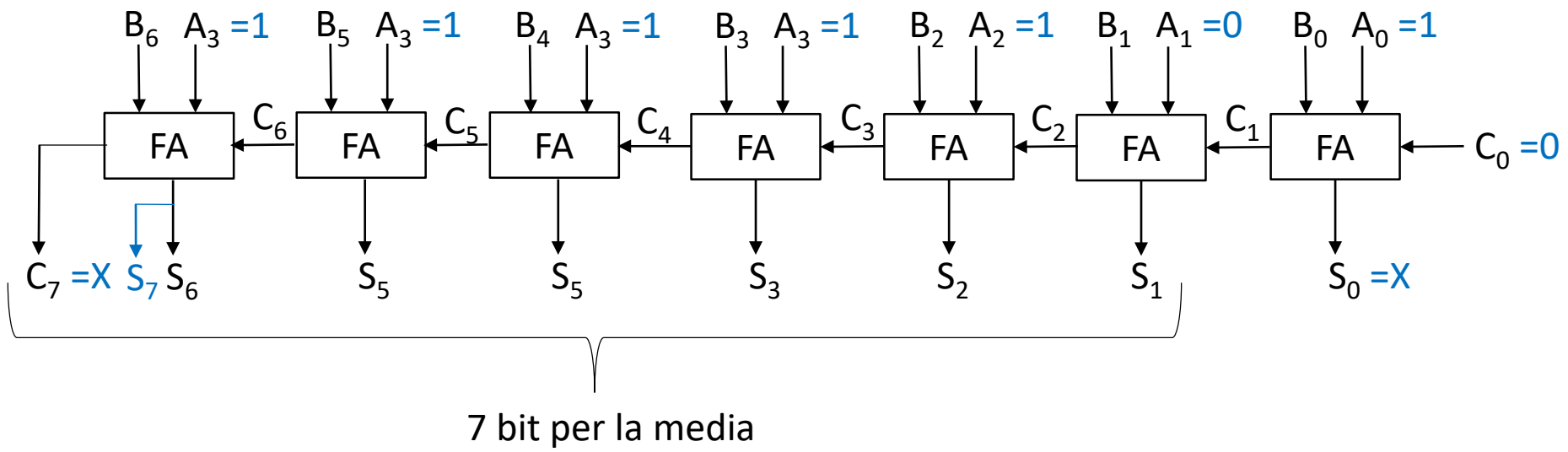
B [-36;2] => 7 bit in complemento a 2

Esercitazioni Conclusive



Esercitazioni Conclusive

Sostituire ad A il valore -3 => 1111101



Esercitazioni Conclusive

- Cella 0 -> A_0=1 e C_0=0 e S_0=X

$$C_1 = A_0B_0 + A_0C_0 + B_0C_0 = 1B_0 + 1\,0 + B_0 0 = B_0$$

- Cella 1 -> A_1=0

$$S_1 = A_1 \oplus B_1 \oplus C_1 = 0 \oplus B_1 \oplus C_1 = B_1 \oplus C_1$$

$$C_2 = A_1B_1 + A_1C_1 + B_1C_1 = 0B_1 + 0C_1 + B_1C_1 = B_1C_1$$

- Cella 2 -> A_2=1

$$S_2 = A_2 \oplus B_2 \oplus C_2 = 1 \oplus B_2 \oplus C_2 = \overline{B_2} \oplus C_2 = B_2 \oplus \overline{C_2} = \overline{B_2 \oplus C_2}$$

$$C_3 = A_2B_2 + A_2C_2 + B_2C_2 = 1B_2 + 1C_2 + B_2C_2 = B_2 + C_2$$

- Le cella 3, 4 e 5 hanno calcoli analoghi alla cella 2

- Cella 6 -> A_3=1 e C_7=X

$$S_6 = A_6 \oplus B_6 \oplus C_6 = 1 \oplus B_6 \oplus C_6 = \overline{B_6} \oplus C_6 = B_6 \oplus \overline{C_6} = \overline{B_6 \oplus C_6}$$

Esercitazioni Conclusive

- Ritardo di propagazione:

  Dalla cella 1 devo arrivare alla cella 6 (attraverso 6 celle), ogni cella ha un ritardo di propagazione di 3 ns (attraverso al massimo una sola porta per ogni percorso.

  Il ritardo di propagazione è quindi 18 ns.

Esercitazioni Conclusive

Esercizio 4 - 20 Febbraio 2025

- Si realizzi un sistema in grado di gestire una raviolatrice automatica. Il dispositivo produce, ad ogni istante discreto di tempo, 4 ravioli, da confezionare in scatole da 24 ravioli ciascuna. Si progetti un circuito in grado di generare un impulso di valore logico alto ogni volta che vengono prodotti 24 ravioli. Inoltre, dovranno essere prodotte delle uscite binarie che indichino il numero di ravioli prodotti per la scatola attualmente in confezionamento (le uscite dovranno ciclicamente valere 4, 8 , 12, …,24. Si realizzi il circuito a costo minimo utilizzando solo flip-flop di tipo D. Si calcolo poi il costo del sistema assumendo che ogni flip-flop abbia un costo pari a 14.

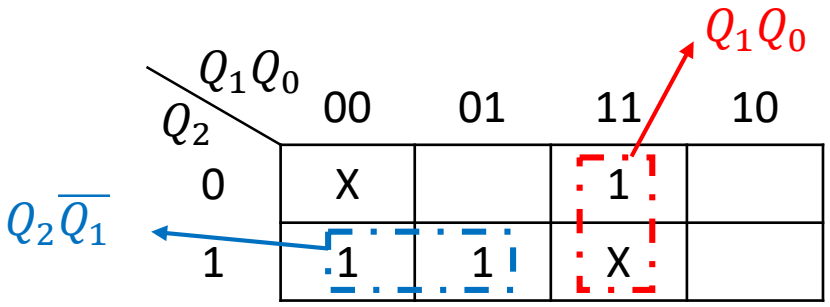
Esercitazioni Conclusive

Il conteggio viene effettuato facendo variare i 3 bit più significativi e mantenendo i 2 meno significativi fissi a 0.

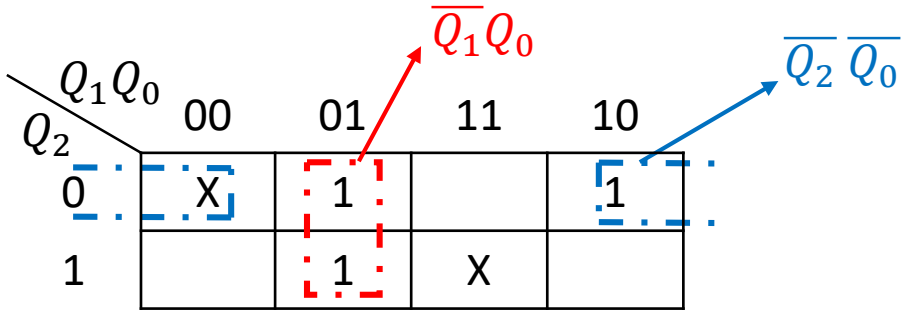
Stato presente			**Stato futuro**			**Uscita**
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	CO
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	1	1

000 e 111 -> Condizioni di non specificazione

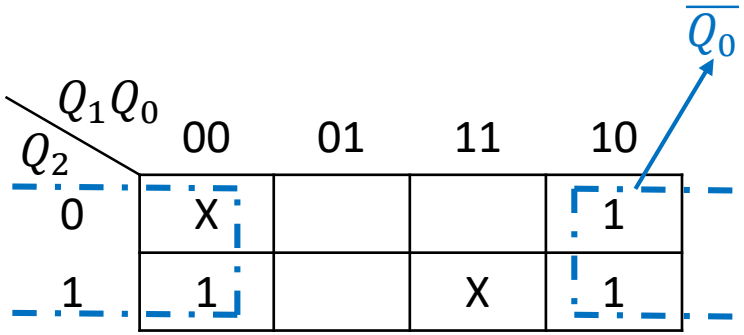
Esercitazioni Conclusive



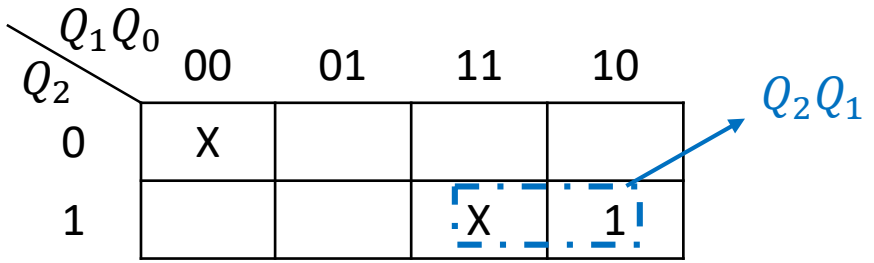
$$D_2 = Q_2\overline{Q_1} + Q_1Q_0$$



$$D_1 = \overline{Q_2}\,\overline{Q_0} + \overline{Q_1}Q_0$$



$$D_0 = \overline{Q_0}$$



$$CO = Q_2Q_1$$

Esercitazioni Conclusive

$D_2 = Q_2\overline{Q_1} + Q_1Q_0$ 4 AND + 2 OR

$D_1 = \overline{Q_2}\,\overline{Q_0} + \overline{Q_1}Q_0$ 4 AND + 2 OR

$D_0 = \overline{Q_0}$

$CO = Q_2Q_1$ 2 AND

CI=14 x 3 + 14 =42+14=56

Esercitazioni Conclusive

Esercizio 4 - 24 Gennaio 2025

- Si progetti un circuito sequenziale dotato di due ingressi A e B e di un'uscita Y. Ad ogni istante n il circuito dovrà produrre l'uscita Y rispettando la seguente specifica:

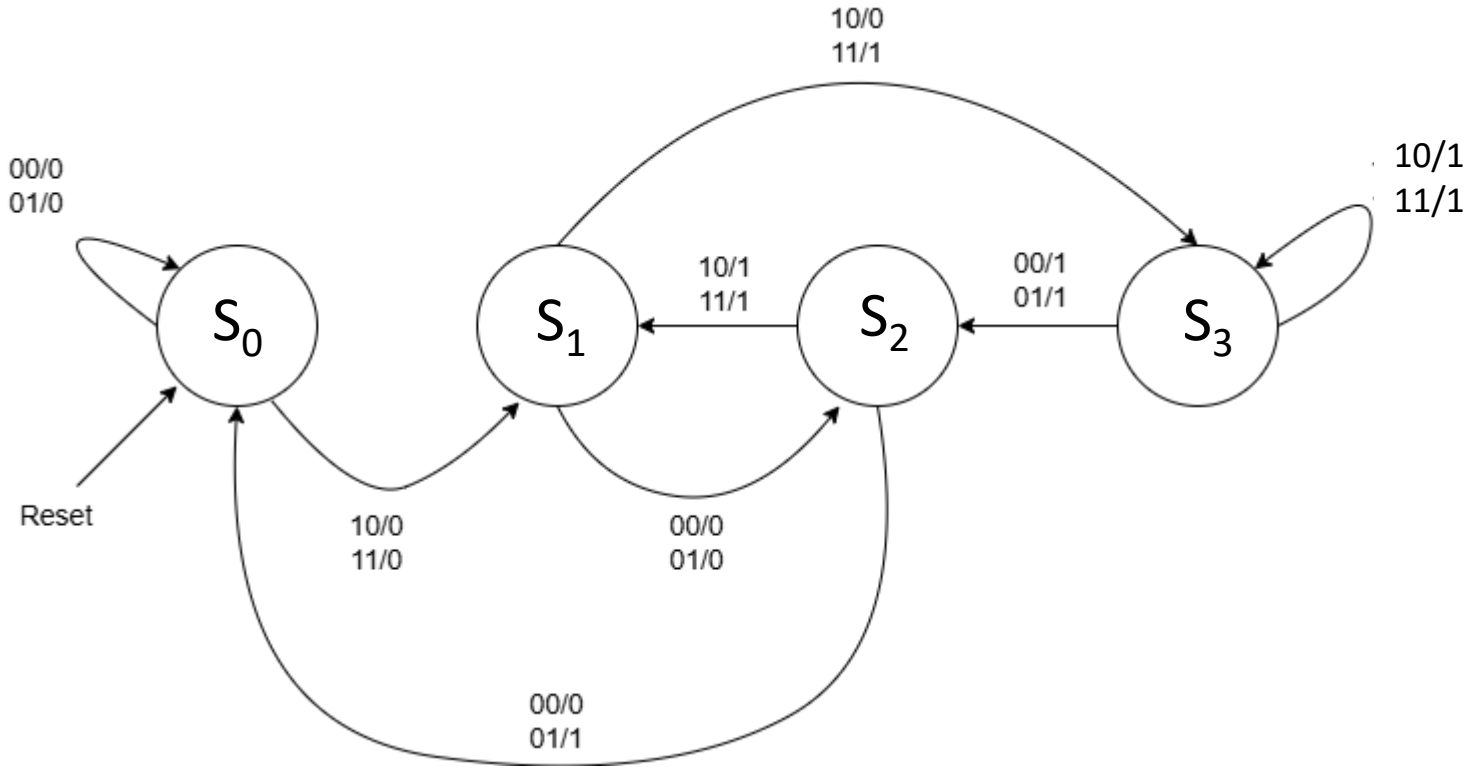
$$Y_n = (A_n + A_{n-1})A_{n-2} \quad \text{se } B_n = 0$$
$$Y_n = A_n A_{n-1} + A_{n-2} \quad \text{se } B_n = 1$$

  Il circuito dovrà essere a costo minimo e prevedere un segnale di reset (si disegni solo il dettaglio di come viene collegato il segnale di reset, non tutto il circuito). Calcolare il costo degli ingressi assumendo che ogni flip-flop abbia un costo pari a 14.

Esercitazioni Conclusive

Stati:

S_0 => A_{n-2}=0 e A_{n-1}=0
S_1 => A_{n-2}=0 e A_{n-1}=1
S_2 => A_{n-2}=1 e A_{n-1}=0
S_3 => A_{n-2}=1 e A_{n-1}=1



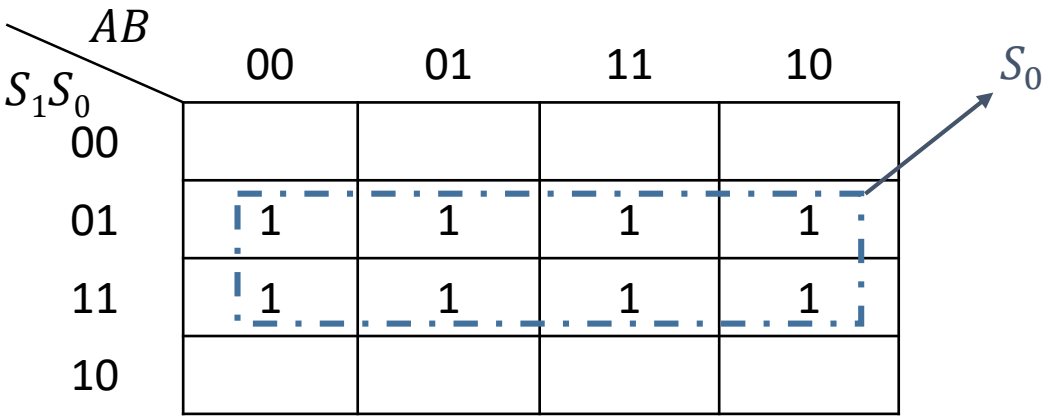
Esercitazioni Conclusive

Stato Presente	Stato Futuro				Uscita			
	AB=00	AB=01	AB=10	AB=11	AB=00	AB=01	AB=10	AB=11
S_0	S_0	S_0	S_1	S_1	0	0	0	0
S_1	S_2	S_2	S_3	S_3	0	0	0	1
S_2	S_0	S_0	S_1	S_1	0	1	1	1
S_3	S_2	S_2	S_3	S_3	1	1	1	1

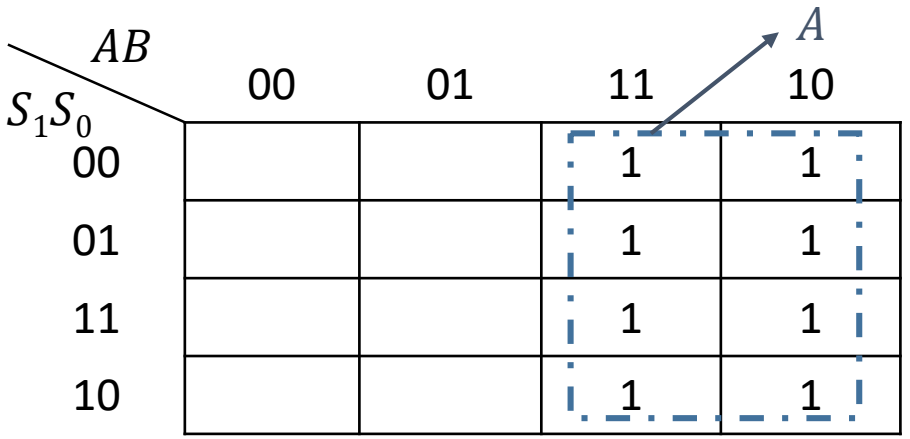
Codifica Gray -> $S_0 = 00$ $S_1 = 01$ $S_2 = 10$ $S_3 = 11$

Stato Presente	Stato Futuro				Uscita			
S_1S_0	AB=00	AB=01	AB=10	AB=11	AB=00	AB=01	AB=10	AB=11
00	00	00	01	01	0	0	0	0
01	10	10	11	11	0	0	0	1
10	00	00	01	01	0	1	1	1
11	10	10	11	11	1	1	1	1

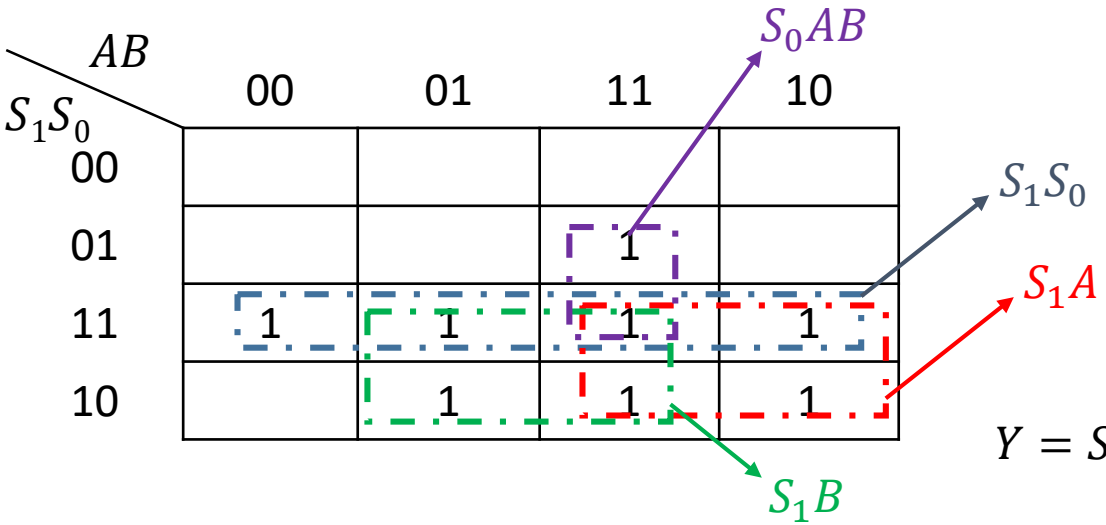
Esercitazioni Conclusive



$$D_{S_1} = S_0$$



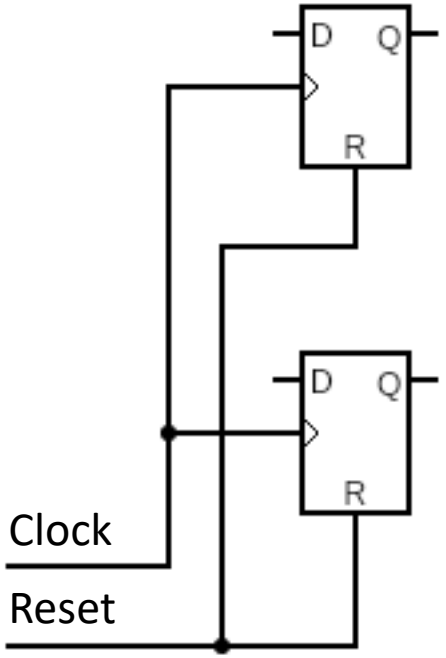
$$D_{S_0} = A$$



$$Y = S_1S_0 + S_1A + S_1B + S_0\text{AB}$$

$C_l = 14 \times 2 + 13 = 41$

Esercitazioni Conclusive



Esercitazioni Conclusive

Esercizio 5 - 18 Luglio 2022

- Un circuito sequenziale deve essere riprogettato per ridurne il costo (l'ingresso è X, l'uscita Z e gli stati A, B e C). Trovare la tabella di stato del circuito, sapendo che gli stati 110 e 111 non sono stati utilizzati in fase di progetto. Si sostituiscano poi etichette ai codici e si rimuovano eventuali stati equivalenti; si assegnino i codici agli stati. Infine, di determini il costo degli ingressi del circuito originale e di quello riprogettato assumendo un costo per ciascun flip-flop pari a 14.

$$D_A = BC + A\bar{C}$$
$$D_B = B\bar{C} + \bar{A}\,\bar{B}\,X + \bar{B}CX$$
$$D_C = A\bar{X} + AC + B\bar{X}$$
$$Z = \bar{A}B + A\bar{B}\,\bar{C}$$

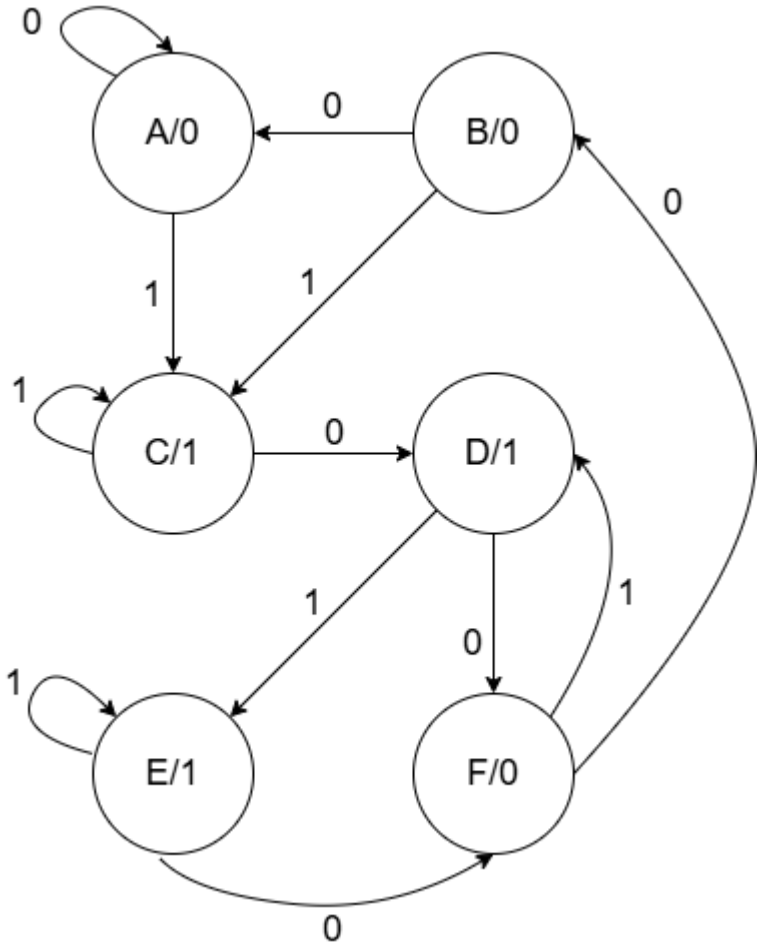
Esercitazioni Conclusive

Stato Presente	Stato Futuro		Uscita
ABC	X=0	X=1	Z
000	000	010	0
001	000	010	0
010	011	010	1
011	101	100	1
100	101	100	1
101	001	011	0

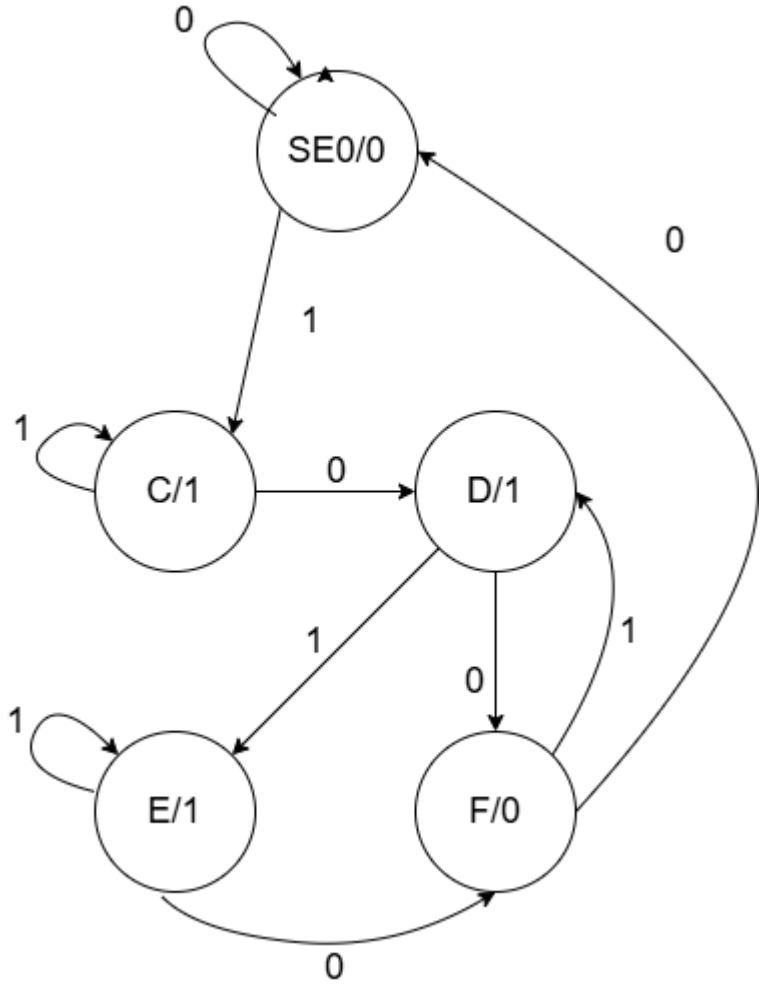
000 -> A
001 -> B
010 -> C
011 -> D
100 -> E
101 -> F

Stato Presente	Stato Futuro		Uscita
ABC	X=0	X=1	Z
A	A	C	0
B	A	C	0
C	D	C	1
D	F	E	1
E	F	E	1
F	B	D	0

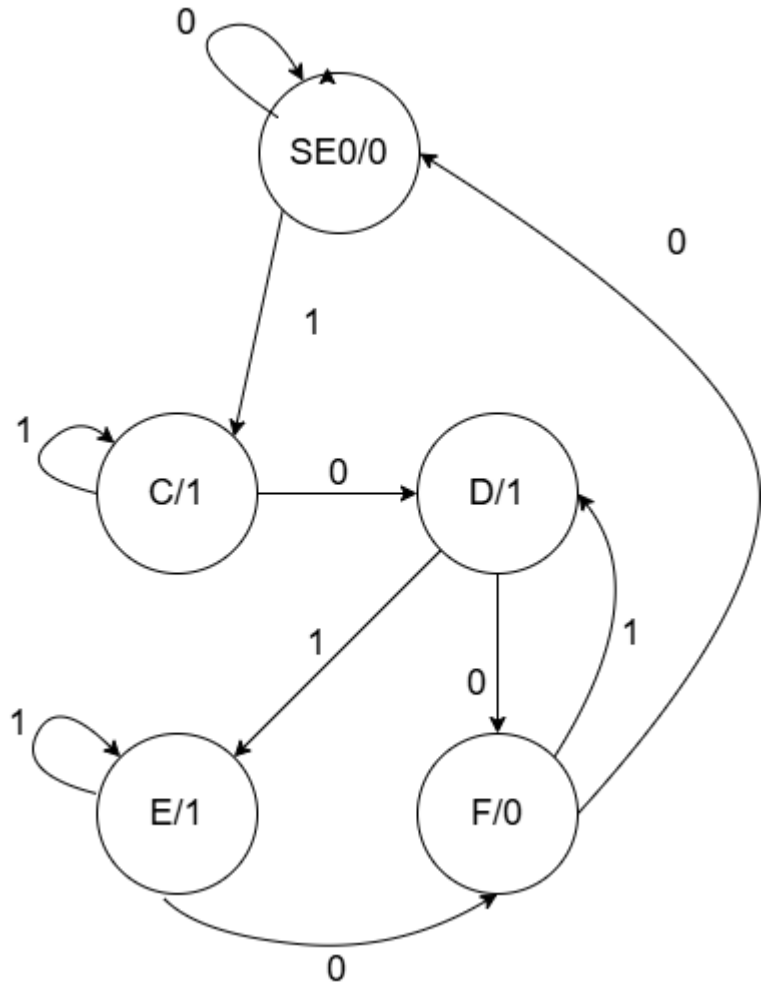
Esercitazioni Conclusive



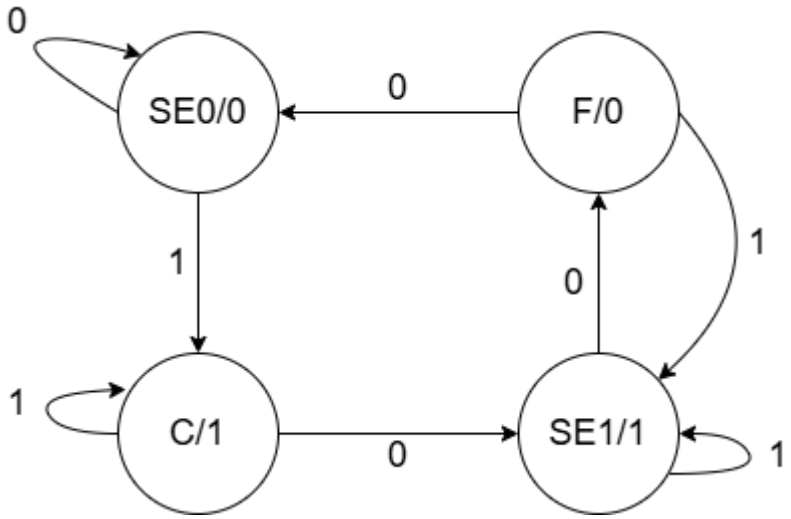
A e B -> SE0



Esercitazioni Conclusive



D e E -> SE1



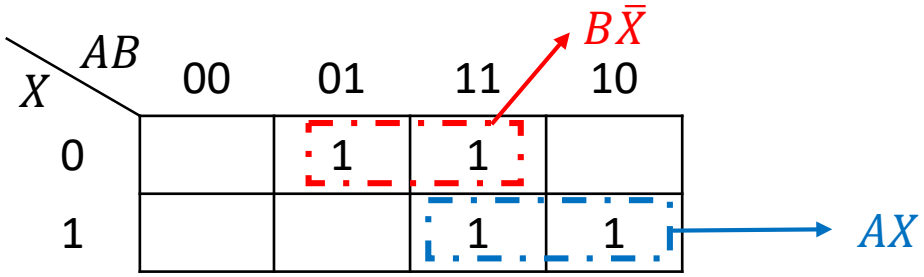
Esercitazioni Conclusive

Stato Presente	Stato Futuro		Uscita
	X=0	X=1	Z
SE0	SE0	C	0
C	SE1	C	1
SE1	F	SE1	1
F	SE0	SE1	0

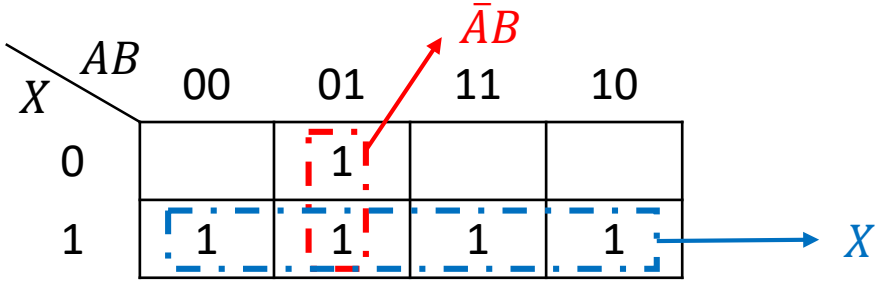
SE0 -> 00
C -> 01
SE1 -> 11
F -> 10

Stato Presente	Stato Futuro		Uscita
AB	X=0	X=1	Z
00	00	01	0
01	11	01	1
11	10	11	1
10	00	11	0

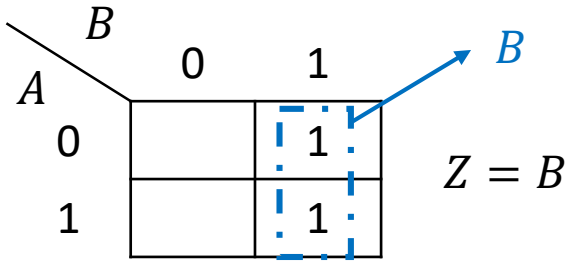
Esercitazioni Conclusive



$$D_A = B\bar{X} + AX$$



$$D_B = \bar{A}B + X$$



$$Z = B$$

Circuito originale

$$D_A = BC + A\bar{C}$$ 4 AND + 2 OR

$$D_B = B\bar{C} + \bar{A}\,\bar{B}\,X + \bar{B}CX$$ 8 AND + 3 OR

$$D_C = A\bar{X} + AC + B\bar{X}$$ 6 AND + 3 OR

$$Z = \bar{A}B + A\bar{B}\,\bar{C}$$ 5 AND + 2 OR

C_I= 14 x 3 + 33 = 75

Circuito riprogettato

$D_A = B\bar{X} + AX$ 4 AND + 2 OR

$D_B = \bar{A}B + X$ 2 AND + 2 OR

$Z = B$

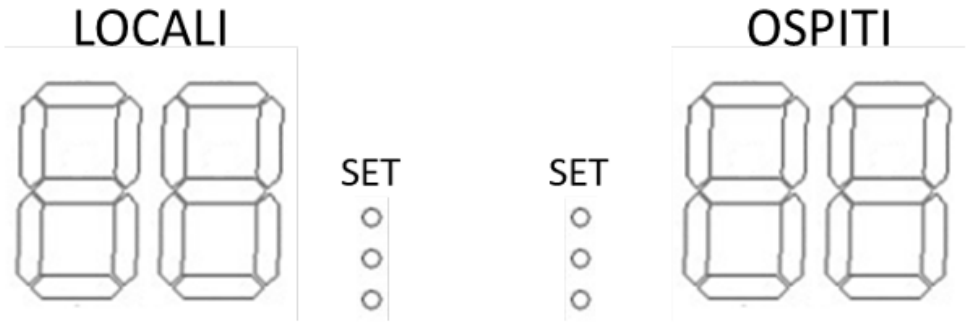
C_I= 14 x 2 + 10 = 38

Esercitazioni Conclusive

Esercizio 4 - 24 Settembre 2024

- Si progetti il sistema di visualizzazione del punteggio da utilizzare in un campo di pallavolo. In particolare, si disegni lo schema a blocchi del circuito utilizzando contatori BCD, con ingresso di reset sincrono, per la visualizzazione del punteggio, connessi tramite opportuni decodificatori a dei display a 7 segmenti (i contatori BCD dovranno essere tutti uguali). La logica del punteggio dovrà essere gestita tramite comparatori, supponendo che il clock di alcuni contatori BCD sia connesso ad un pulsante che indica l'assegnazione del punto. Inoltre, dovranno essere presenti dei led, gestiti con un contatore in opportuna codifica binaria, che indichi il numero di set vinti. Dopo aver disegnato lo schema a blocchi si scrivano le equazioni dei contatori BCD, dei comparatori e del contatore dei set (non si indichino le equazioni dei decodificatori per i display).

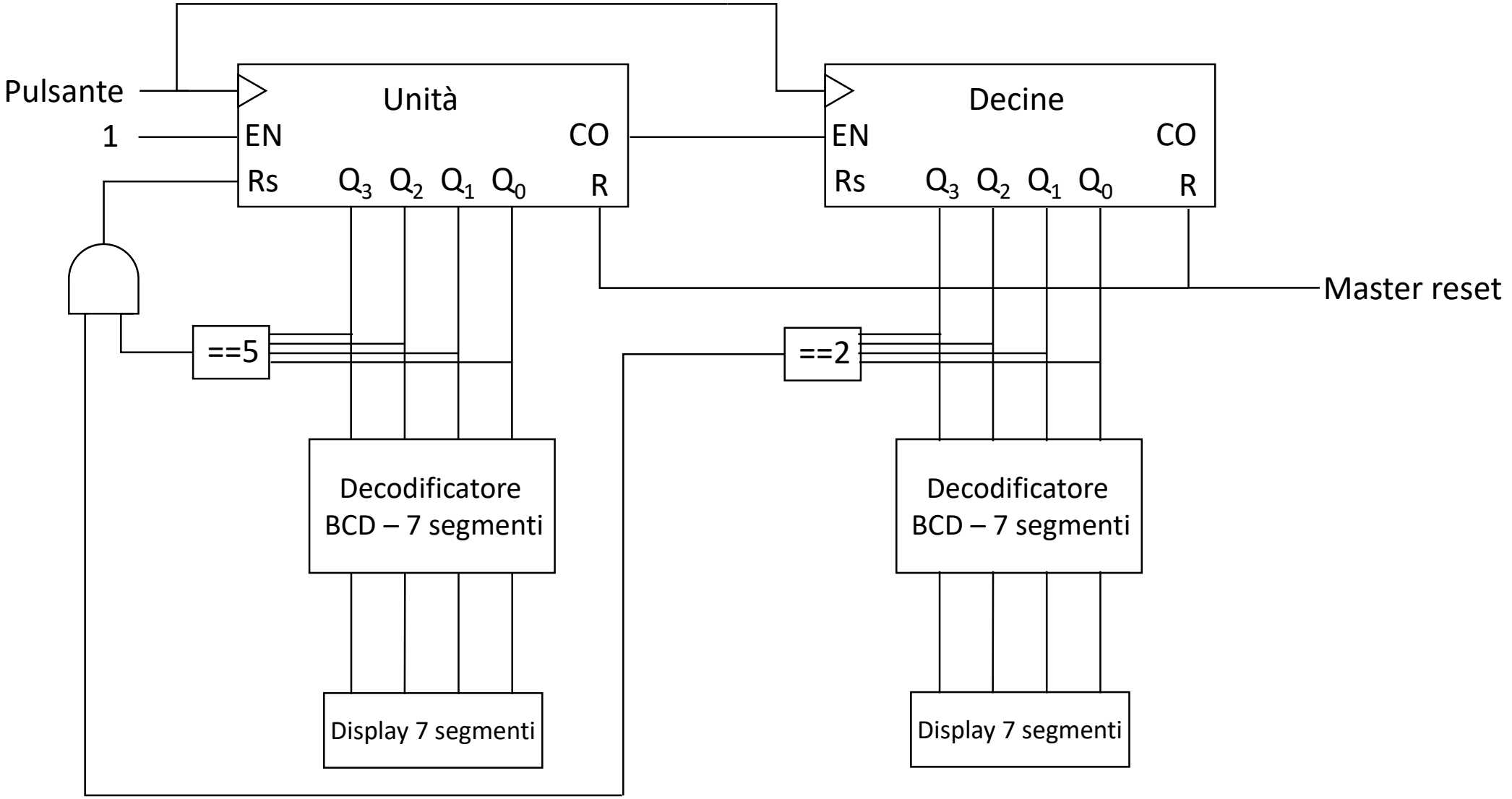
Esercitazioni Conclusive



Il progetto del tabellone dei locali e quello degli ospiti sono analoghi, a meno del pulsante che assegna il punto.
Ci si concentra quindi sul progetto di un singolo segnapunti, assumendo che il range di punteggio vada a 00 a 25.

Per contare da 00 a 25 utilizziamo due condatori BCD, uno per le decine ed uno per le unità.
Le unità possono variare da 0 a 9, mentre le decine da 0 a 2.
Il contatore delle decine viene incrementato quando il contatore delle unità raggiunge il valore 9.

Esercitazioni Conclusive



Esercitazioni Conclusive

Per le equazioni dei contatori si possono usare le classiche equazioni per un contatore BCD:

$D_0 = \overline{Q_0} \oplus EN$

$D_1 = Q_1 \oplus (Q_0\,\overline{Q_3})EN$

$D_2 = Q_2 \oplus (Q_0 Q_1)EN$

$D_3 = Q_3 \oplus \left((Q_0 Q_3 + Q_0 Q_1 Q_2)EN\right)$

CO=$Q_0 Q_3$

Per i comparatori si possono usare i singoli mintermini

$C2 = \overline{Q_3}\ \overline{Q_2}\ Q_1 \overline{Q_0}$

$C5 = \overline{Q_3}\ Q_2\ \overline{Q_1}\ Q_0$

Esercitazioni Conclusive

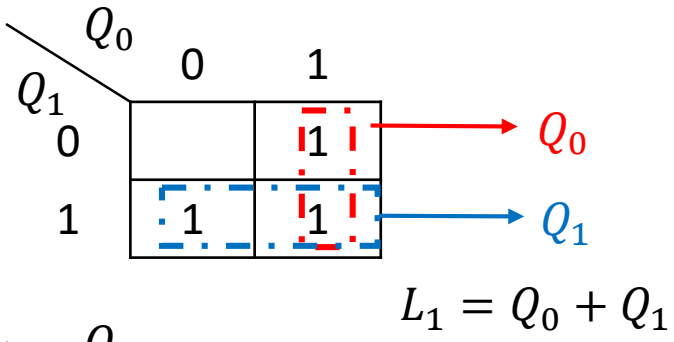
Il segnale in uscita dalla porta logica AND che resetta i contatori può essere utilizzato anche come clock per un contatore a 2 bit per il conteggio dei set vinti.

$D_0 = \overline{Q_0}$

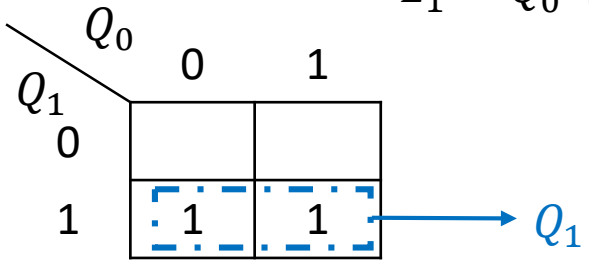
$D_1 = Q_1 \oplus Q_0$

Per accendere i 3 led dei set si può scrivere la seguente tabella di verità

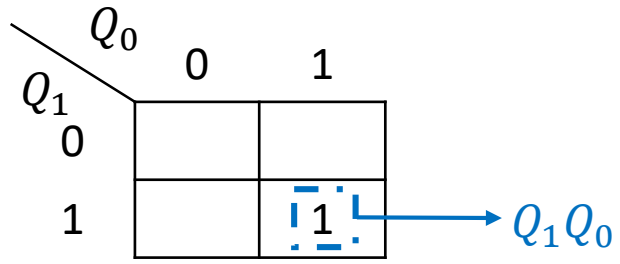
Q_1	Q_0	L_1	L_2	L_3
0	0	0	0	0
0	1	1	0	0
1	0	1	1	0
1	1	1	1	1



$L_1 = Q_0 + Q_1$



$L_2 = Q_1$



$L_3 = Q_1 Q_0$

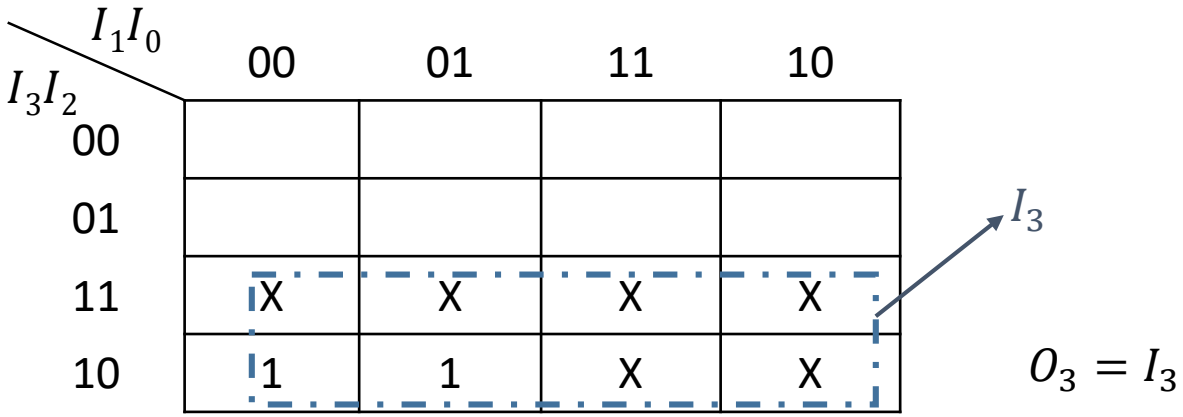
Esercitazioni Conclusive

Esercizio 1 - 24 Febbraio 2023

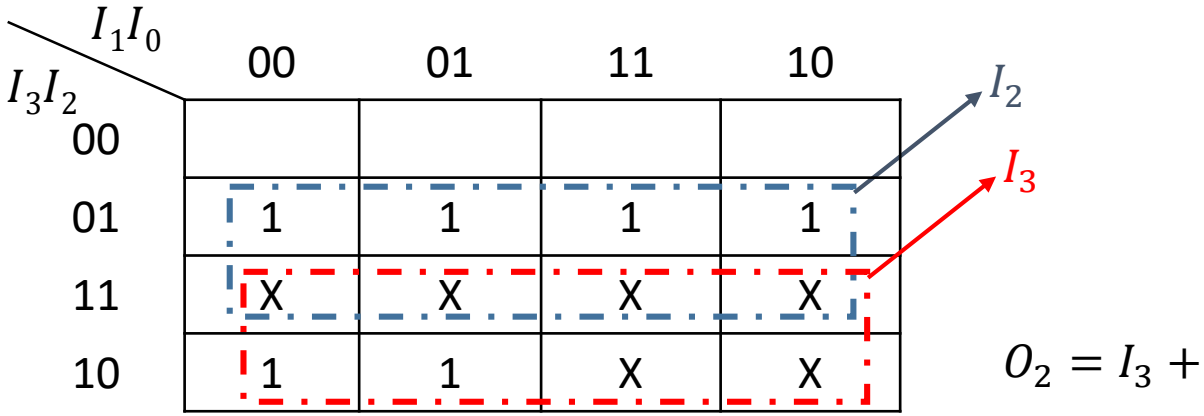
- Si progetti un sistema in grado di convertire una cifra espressa da codice BCD in codice Gray. Il sistema dovrà ricevere in ingresso un numero espresso in codifica BCD e proporre in uscita la codifica Gray corrispondente, insieme ad un'ulteriore uscita che indichi se la combinazione BCD posta in ingresso sia valida o meno (se la codifica è valida V=1, altrimenti V=0) Si ricavino le equazioni booleane minime e se ne calcoli il costo totale degli ingressi (considerando nullo il costo delle porte NOT). Si proponga poi un'implementazione dello stesso sistema utilizzando una opportuna memoria ROM, considerando però tutte le uscite, eccetto V, fisse ad 1 quando la combinazione BCD in ingresso non risulti valida.

Esercitazioni Conclusive

I_3	I_2	I_1	I_0	O_3	O_2	O_1	O_0	V
0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	1
0	0	1	0	0	0	1	1	1
0	0	1	1	0	0	1	0	1
0	1	0	0	0	1	1	0	1
0	1	0	1	0	1	1	1	1
0	1	1	0	0	1	0	1	1
0	1	1	1	0	1	0	0	1
1	0	0	0	1	1	0	0	1
1	0	0	1	1	1	0	1	1
1	0	1	0	X	X	X	X	0
1	0	1	1	X	X	X	X	0
1	1	0	0	X	X	X	X	0
1	1	0	1	X	X	X	X	0
1	1	1	0	X	X	X	X	0
1	1	1	1	X	X	X	X	0



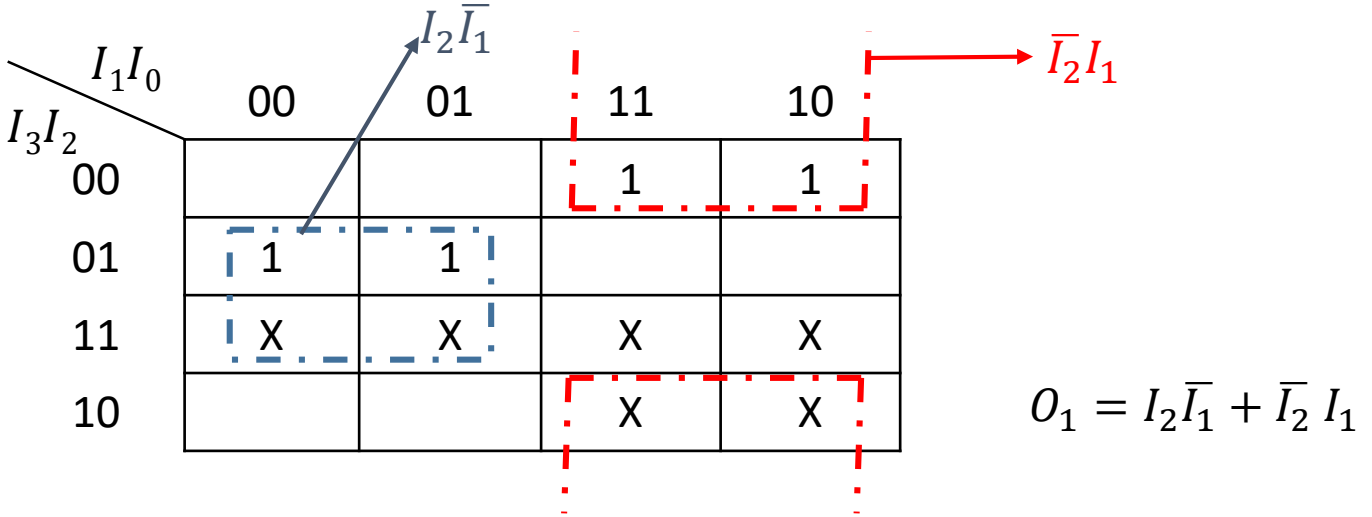
$O_3 = I_3$



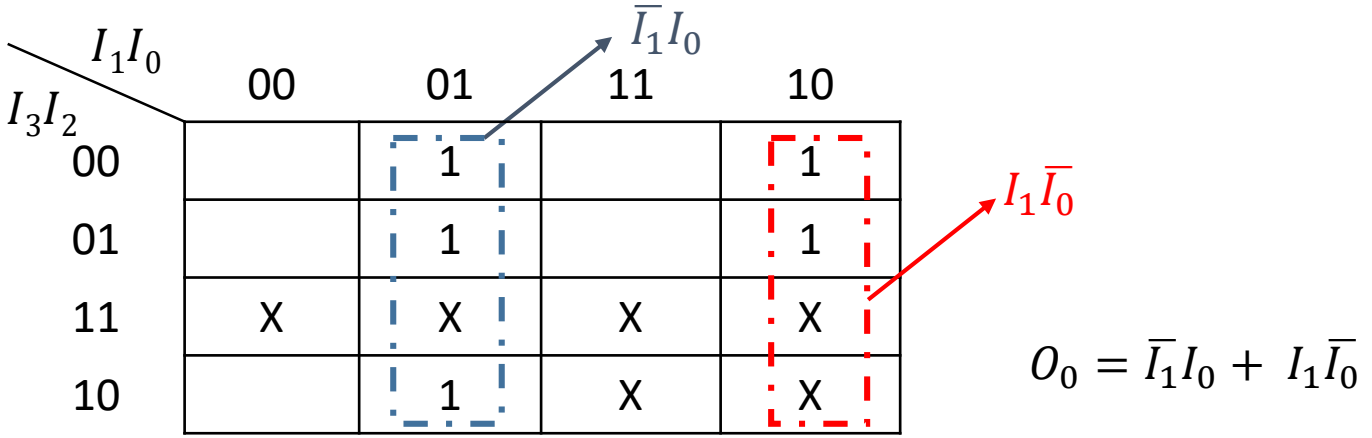
$O_2 = I_3 + I_2$

Esercitazioni Conclusive

I_3	I_2	I_1	I_0	O_3	O_2	O_1	O_0	V
0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	1
0	0	1	0	0	0	1	1	1
0	0	1	1	0	0	1	0	1
0	1	0	0	0	1	1	0	1
0	1	0	1	0	1	1	1	1
0	1	1	0	0	1	0	1	1
0	1	1	1	0	1	0	0	1
1	0	0	0	1	1	0	0	1
1	0	0	1	1	1	0	1	1
1	0	1	0	X	X	X	X	0
1	0	1	1	X	X	X	X	0
1	1	0	0	X	X	X	X	0
1	1	0	1	X	X	X	X	0
1	1	1	0	X	X	X	X	0
1	1	1	1	X	X	X	X	0



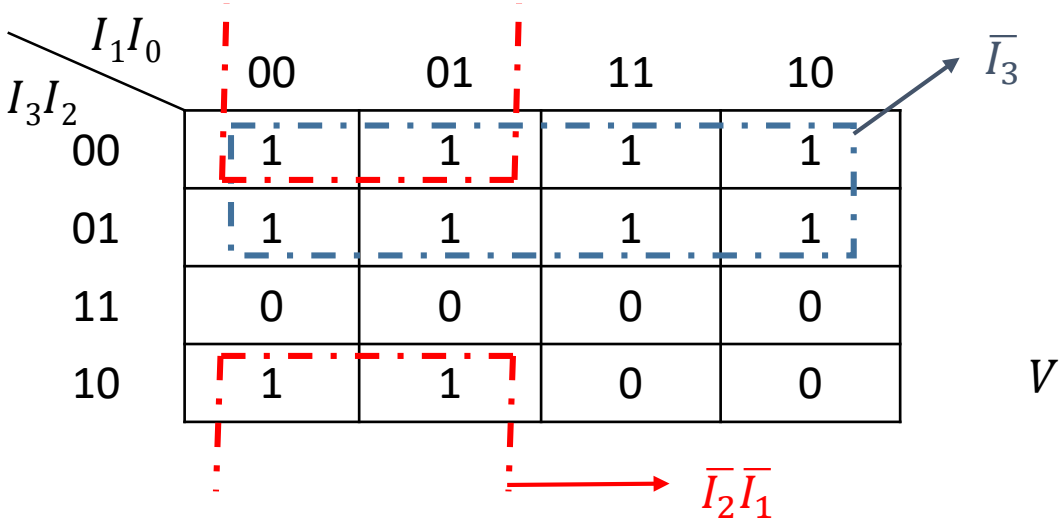
$$O_1 = I_2\overline{I_1} + \overline{I_2}\, I_1$$



$$O_0 = \overline{I_1}I_0 + \ I_1\overline{I_0}$$

Esercitazioni Conclusive

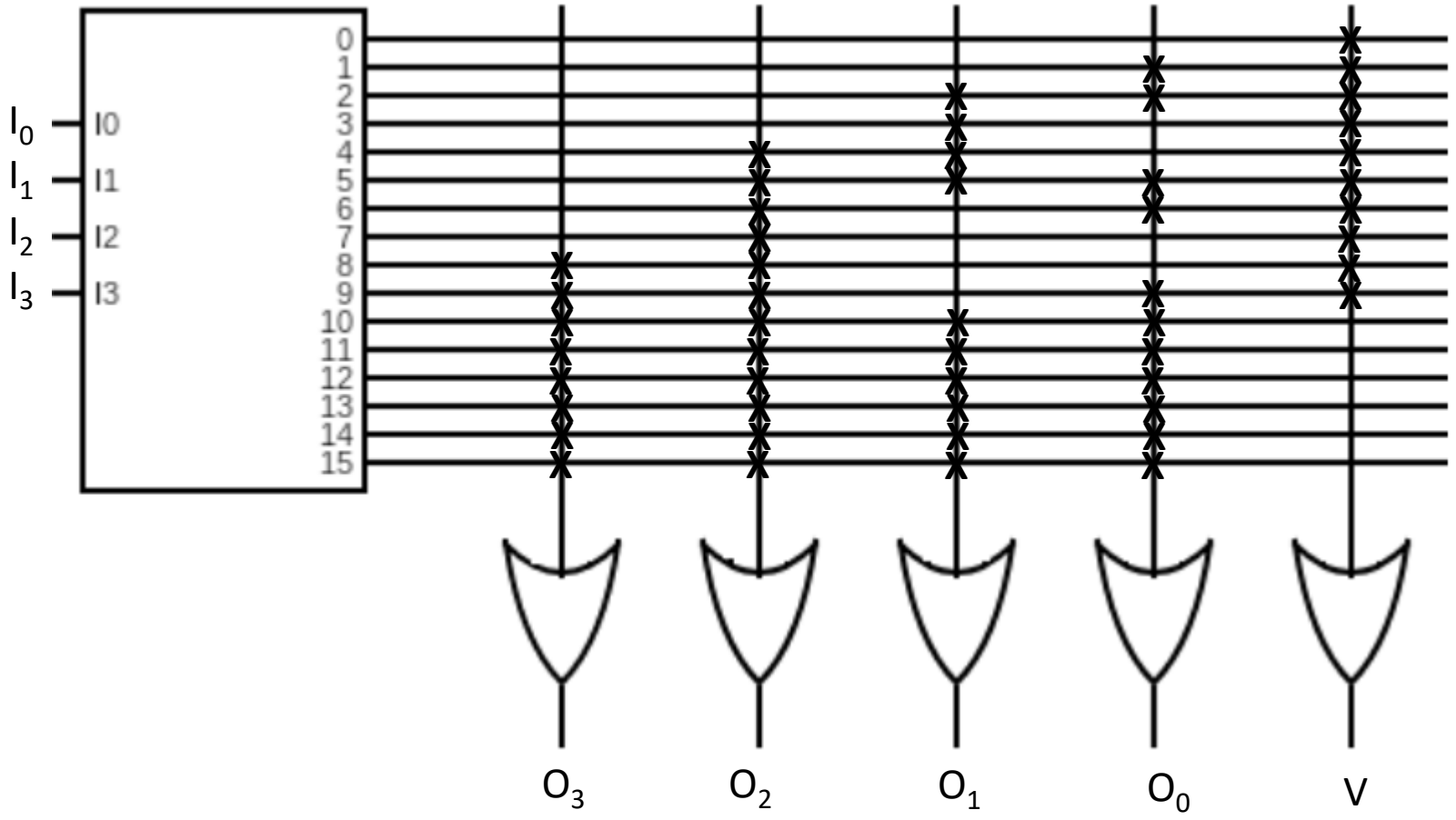
I_3	I_2	I_1	I_0	O_3	O_2	O_1	O_0	V
0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	1
0	0	1	0	0	0	1	1	1
0	0	1	1	0	0	1	0	1
0	1	0	0	0	1	1	0	1
0	1	0	1	0	1	1	1	1
0	1	1	0	0	1	0	1	1
0	1	1	1	0	1	0	0	1
1	0	0	0	1	1	0	0	1
1	0	0	1	1	1	0	1	1
1	0	1	0	X	X	X	X	0
1	0	1	1	X	X	X	X	0
1	1	0	0	X	X	X	X	0
1	1	0	1	X	X	X	X	0
1	1	1	0	X	X	X	X	0
1	1	1	1	X	X	X	X	0



$$V = \overline{I_3} + \overline{I_2}\,\overline{I_1}$$

Esercitazioni Conclusive

I_3	I_2	I_1	I_0	O_3	O_2	O_1	O_0	V
0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	1
0	0	1	0	0	0	1	1	1
0	0	1	1	0	0	1	0	1
0	1	0	0	0	1	1	0	1
0	1	0	1	0	1	1	1	1
0	1	1	0	0	1	0	1	1
0	1	1	1	0	1	0	0	1
1	0	0	0	1	1	0	0	1
1	0	0	1	1	1	0	1	1
1	0	1	0	1	1	1	1	0
1	0	1	1	1	1	1	1	0
1	1	0	0	1	1	1	1	0
1	1	0	1	1	1	1	1	0
1	1	1	0	1	1	1	1	0
1	1	1	1	1	1	1	1	0



Esercitazioni Conclusive

Esercizio 1 - 15 Novembre 2024

- Si progetti una rete combinatoria che funzioni come codificatore con controllo di parità per una tastiera numerica. La rete dovrà codificare ogni ingresso della tastiera numerica (da D0 a D9) in un codice binario BCD ed aggiungere un bit di parità per controllo degli errori. Dovrà inoltre essere presente un meccanismo di priorità degli ingressi che dia la priorità all'ingresso con peso minore. Si ricavino la tabella di verità, le equazioni di costo minimo e il costo totale del circuito, indicando quale tipo di parità è stato implementato.

Esercitazioni Conclusive

D_9	D_8	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	O_3	O_2	O_1	O_0	P
X	X	X	X	X	X	X	X	X	1	0	0	0	0	0
X	X	X	X	X	X	X	X	1	0	0	0	0	1	1
X	X	X	X	X	X	X	1	0	0	0	0	1	0	1
X	X	X	X	X	X	1	0	0	0	0	0	1	1	0
X	X	X	X	X	1	0	0	0	0	0	1	0	0	1
X	X	X	X	1	0	0	0	0	0	0	1	0	1	0
X	X	X	1	0	0	0	0	0	0	0	1	1	0	0
X	X	1	0	0	0	0	0	0	0	0	1	1	1	1
X	1	0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	0	0	0	0	0	0	1	0	0	1	0

Parità pari

$$O_3 = D_8 + D_9$$

$$O_2 = D_4 + D_5 + D_6 + D_7$$

$$O_1 = D_2 + D_3 + D_6 + D_7$$

$$O_0 = D_1 + D_3 + D_5 + D_7 + D_9$$

$$P = D_1 + D_2 + D_4 + D_7 + D_8$$

C_i= 2 + 4 + 4 + 5 + 5 = 20

Esercitazioni Conclusive

Esercizio 2 - 15 Novembre 2024

- Si progetti una rete combinatoria che consenta di selezionare e codificare il segnale proveniente da uno di tre sensori in un impianto di monitoraggio industriale. A seconda di un segnale di controllo, il sistema selezionerà uno dei sensori che invierà il segnale in un formato binario a 2 bit. Il sistema riceve in ingresso i valori in uscita da 3 Sensori S0, S1 ed S2. Ciascuno di questi sensori produce in uscita un valore espresso su 2 bit. Il sistema è inoltre dotato di 2 ingressi di controllo C0 e C1 che determinano quale sensore è attivo (00 seleziona il sensore S0, 01 seleziona S1 e 10 seleziona S3). Il sistema deve riportare sulle uscite Y0 ed Y1 i valori acquisiti dal sensore. È inoltre presente un'uscita A che deve valere 1 solo quando viene selezionata in ingresso una combinazione non valida. Si indichino la tabella di verità e le equazioni booleane che descrivono il sistema.

Esercitazioni Conclusive

C_1	C_0	Y_1	Y_0	A
0	0	$S_{0,1}$	$S_{0,0}$	0
0	1	$S_{1,1}$	$S_{1,0}$	0
1	0	$S_{2,1}$	$S_{2,0}$	0
1	1	X	X	1

$$Y_1 = \overline{C_1}\,\overline{C_0}\,S_{0,1} + \overline{C_1}\,C_0\,S_{1,1} + C_1\overline{C_0}\,S_{2,1}$$

$$Y_0 = \overline{C_1}\,\overline{C_0}\,S_{0,0} + \overline{C_1}\,C_0\,S_{1,0} + C_1\overline{C_0}\,S_{2,0}$$

$$A = C_1 C_0$$

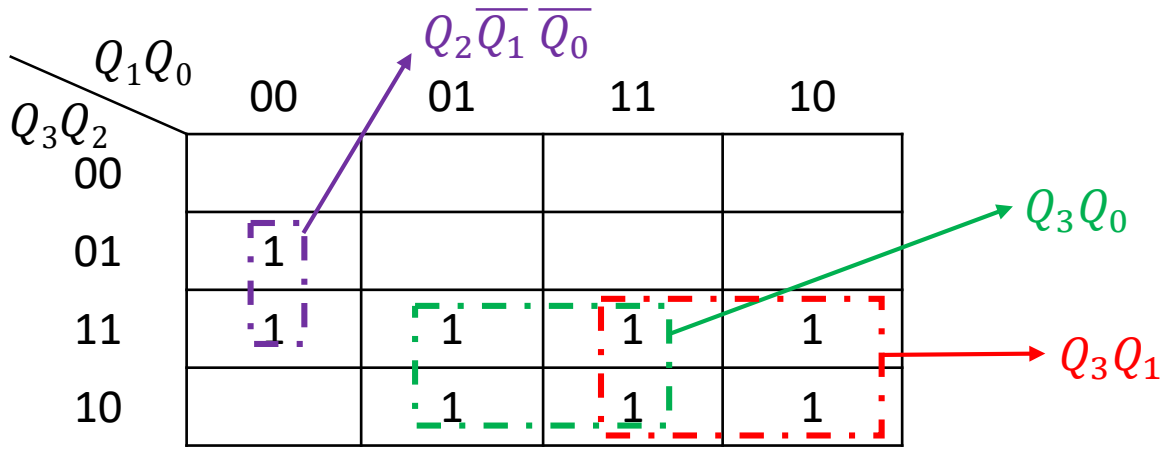
Esercitazioni Conclusive

Esercizio 5 - 28 Marzo 2025

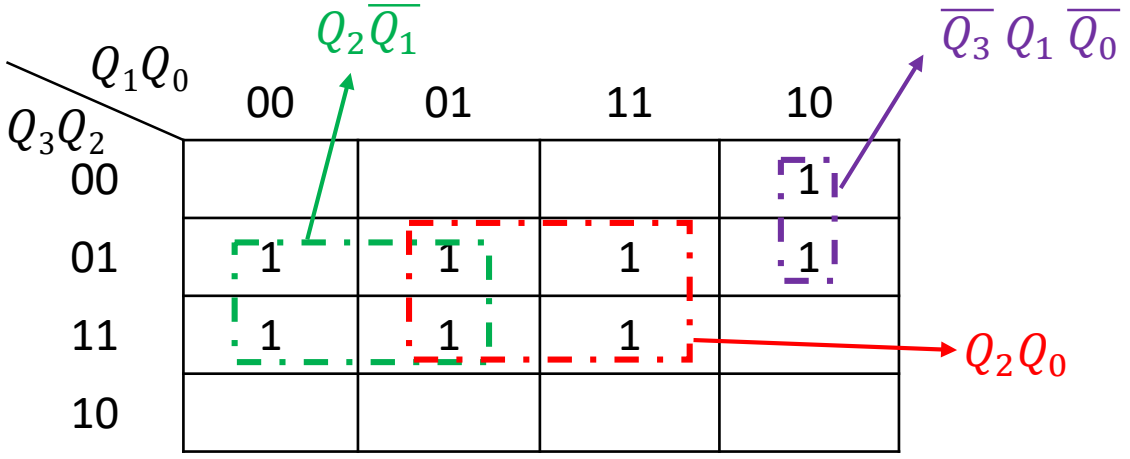
- Si progetti un contatore in codifica Gray a 4 bit utilizzando solo flip-flop D. Si calcoli il costo del circuito assumendo che ogni flip-flop abbia un costo pari a 14. Si modifichino poi le equazioni in modo da aggiungere un segnale di abilitazione attivo basso che blocchi il conteggio allo stato attuale quando ENABLE = 1. Come cambierebbe il progetto se i flip-flop fossero sensibili al fronte di discesa anziché al fronte di salita?

Stato presente				*Stato futuro*			
Q_3	Q_2	Q_1	Q_0	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	1
0	0	1	1	0	0	1	0
0	0	1	0	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	0	1	0	1
0	1	0	1	0	1	0	0
0	1	0	0	1	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	1
1	1	1	1	1	1	1	0
1	1	1	0	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	0	0	1
1	0	0	1	1	0	0	0
1	0	0	0	0	0	0	0

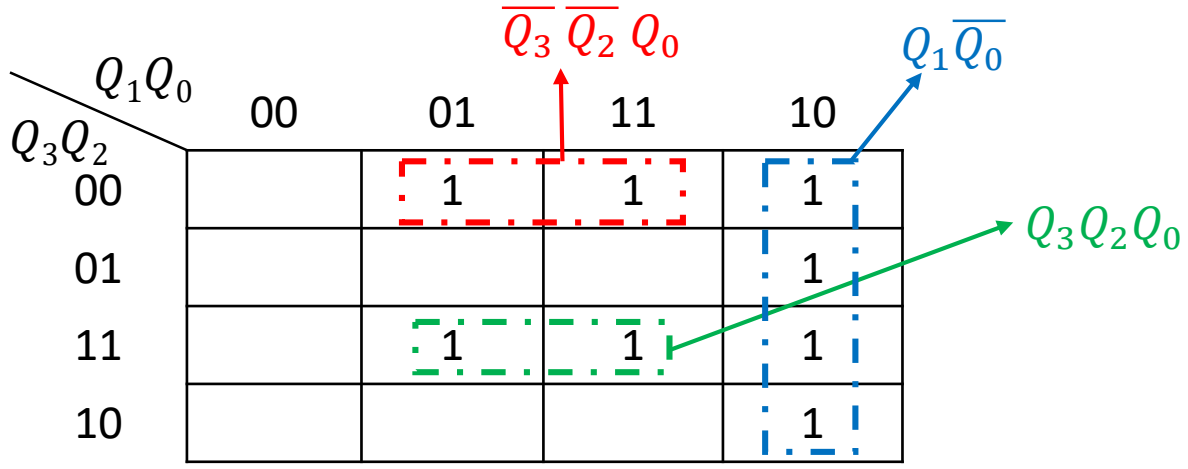
Esercitazioni Conclusive



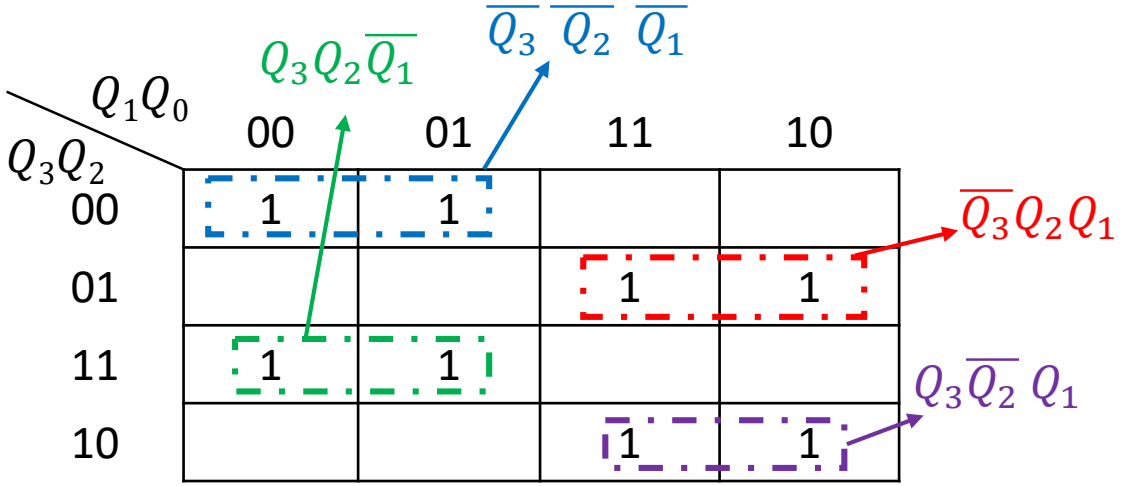
$$D_3 = Q_3Q_1 + Q_3Q_0 + Q_2\overline{Q_1}\,\overline{Q_0}$$



$$D_2 = Q_2Q_0 + Q_2\overline{Q_1} + \overline{Q_3}Q_1\overline{Q_0}$$



$$D_1 = Q_1\overline{Q_0} + \overline{Q_3}\,\overline{Q_2}\,Q_0 + Q_3Q_2Q_0$$



$$D_0 = \overline{Q_3}\,\overline{Q_2}\,Q_1 + \overline{Q_3}\,Q_2Q_1 + Q_3Q_2\overline{Q_1} + Q_3\overline{Q_2}\,Q_1$$

Esercitazioni Conclusive

$D_3 = Q_3Q_1 + Q_3Q_0 + Q_2\overline{Q_1}\,\overline{Q_0}$ 7 AND + 4 OR

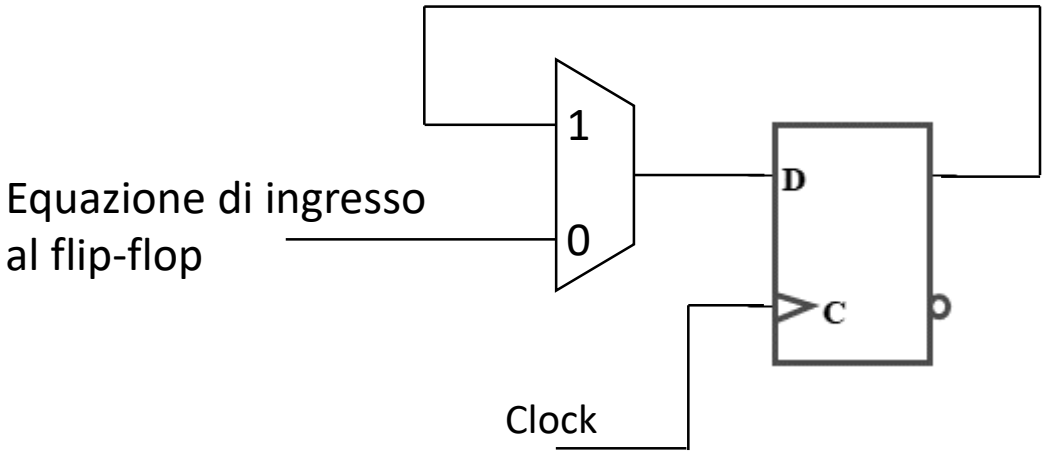
$D_2 = Q_2Q_0 + Q_2\overline{Q_1} + \overline{Q_3}Q_1\overline{Q_0}$ 7 AND + 4 OR

$D_1 = Q_1\overline{Q_0} + \overline{Q_3}\,\overline{Q_2}\,Q_0 + Q_3Q_2Q_0$ 8 AND + 3 OR

$D_0 = \overline{Q_3}\,\overline{Q_2}\,Q_1 + \overline{Q_3}\,Q_2Q_1 + Q_3Q_2\overline{Q_1} + Q_3\overline{Q_2}\,Q_1$ 12 AND + 4 OR

CI=14 x 4 + 49 = 105

Segnale di ENABLE attivo basso



Le equazioni non cambiano se i flip-flop sono sensibili al fronte di discesa.

Esercitazioni Conclusive

Esercizio 1 - 28 Marzo 2025

- Si semplifichi la seguente espressione booleana, indicando quali teoremi, identità e/o proprietà sono stati utilizzati. Si implementi poi la funzione semplificata in due modi diversi, facendo uso di un multiplexer a costo minimo e di un decodificatore.

$$F = \overline{\overline{A + \bar{A}B + \overline{AB}} + \overline{A + \bar{B}}} + C(A + \bar{A}BC)$$

Esercitazioni Conclusive

$$F = \overline{A + \bar{A}B + \overline{A\bar{B}}} + \overline{A + \bar{B}} + C(A + \bar{A}BC)$$

$$F = \overline{A + \bar{A}B + \bar{A} + \bar{\bar{B}}} + \bar{A}B + C(A + \bar{A}BC)$$ Teorema De Morgan

$$F = \bar{1} + \bar{A}B + C\big(A + \overline{A)}(A + BC\big)$$ Teorema complementazione + Proprietà distributiva

$$F = \bar{A}B + C(\,A + BC)$$ Teorema complementazione + Identità

$$F = \bar{A}B + AC + BCC$$ Proprietà distributiva

$$F = \bar{A}B + AC + BC$$ Idempotenza

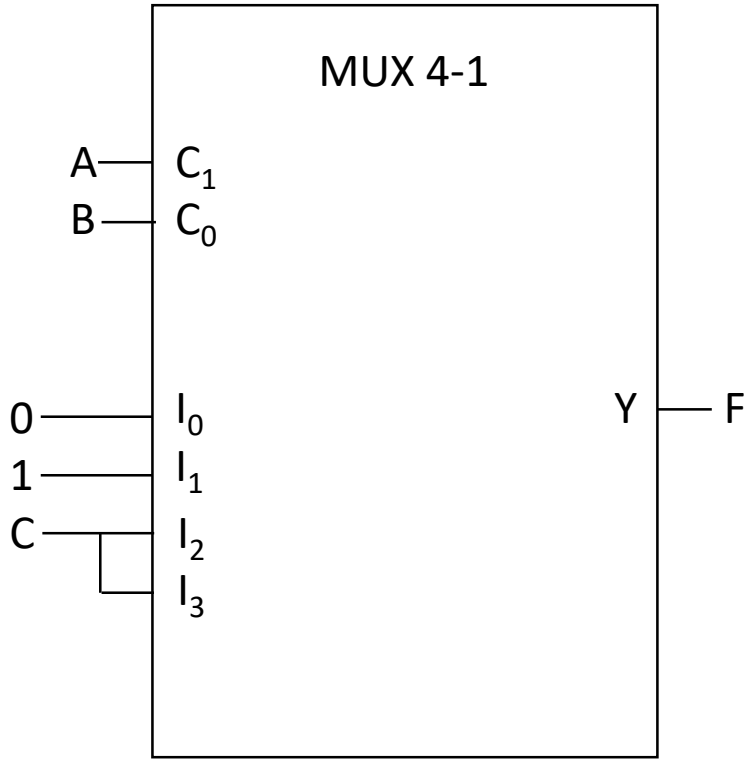
$$F = \bar{A}B + AC$$ Teorema del consenso

Esercitazioni Conclusive

$F = \bar{A}B + AC$

A	B	C	F	
0	0	0	0	$F = 0$
0	0	1	0	
0	1	0	1	$F = 1$
0	1	1	1	
1	0	0	0	$F = C$
1	0	1	1	
1	1	0	0	$F = C$
1	1	1	1	

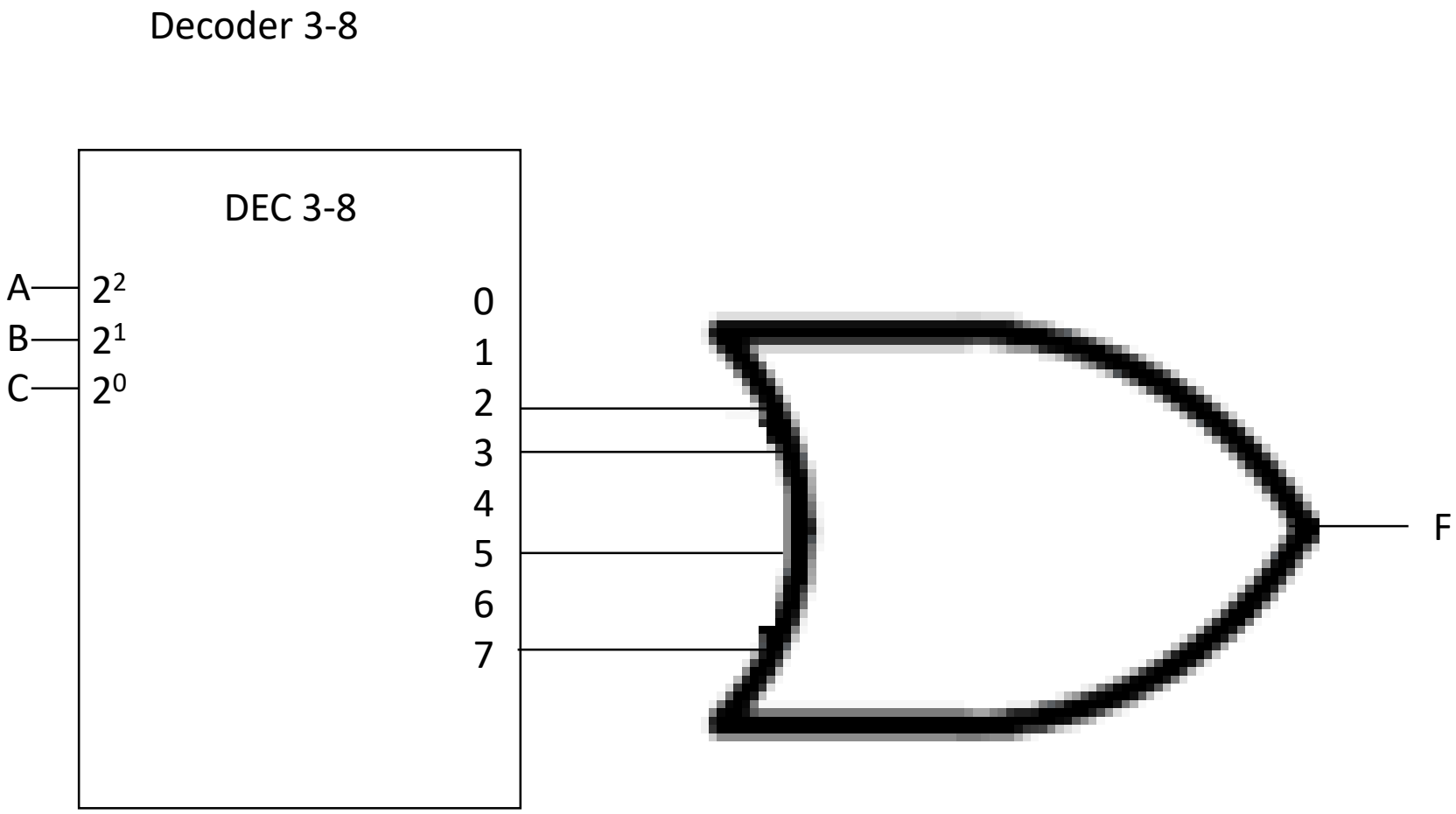
MUX 4-1 e metodo della variabile residua



Esercitazioni Conclusive

$F = \bar{A}B + AC$

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1



Esercitazioni Conclusive

Esercizio 1 - 26 Gennaio 2023

- Un sistema antifurto domestico possiede un interruttore generale per abilitare allarme, sirene, telecamere e telefonare alla polizia nell'eventualità che almeno uno dei sei gruppi di sensori che compongono il sistema rilevi un'intrusione. In aggiunta sono disponibili interruttori separati per abilitare/disabilitare l'allarme, sirene e chiamata alla polizia. Se uno o più gruppi di sensori rilevano un'intrusione ed il sistema è abilitato, allora le uscite si abilitano in base all'uscita degli interruttori corrispondenti, altrimenti tutte le uscite sono spente. Gli ingressi del sistema vanno indicati con i seguenti simboli: Si con i= 0 ... 5 segnali dai sei gruppi di sensori (0 = intrusione rilevata, 1 = nessuna intrusione), M interruttore generale (0 = sistema abilitato, 1 = sistema disabilitato), A interruttore allarme (0 = sirena abilitata, 1 = sirena disabilitata), P interruttore chiamata (0 = chiamata abilitata, 1 = chiamata disabilitata). Le uscite sono: E allarme (0 = acceso, 1 = spento), L sirena (0 = acceso, 1 = spento), V telecamere (0 = spente, 1 = accese), C chiamata (0 = spento, 1 = acceso). Determinare una realizzazione di costo minimo utilizzando solo porte AND, OR e NOT, indicando tabella di verità ed equazioni.

Esercitazioni Conclusive

Progettazione gerarchica:

$$S = s_0 s_1 s_2 s_3 s_4 s_5$$

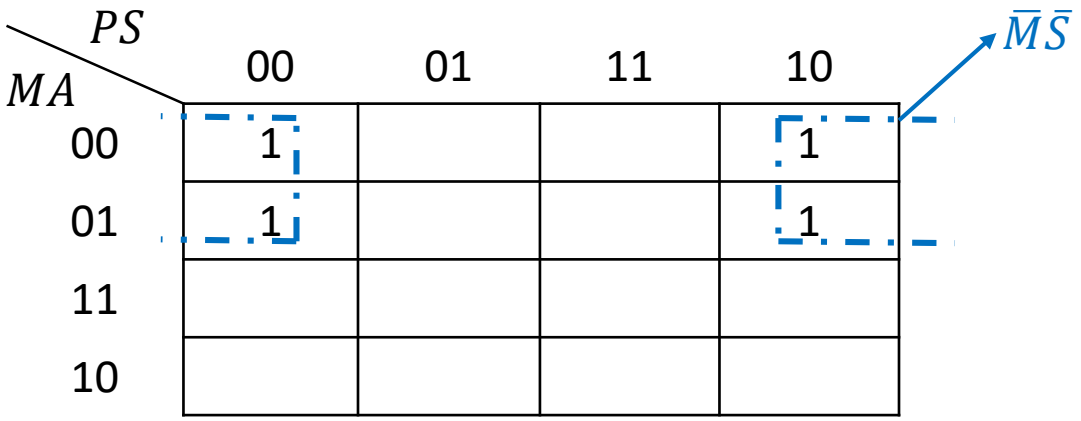
Ingressi:

$S\ M\ A\ P$

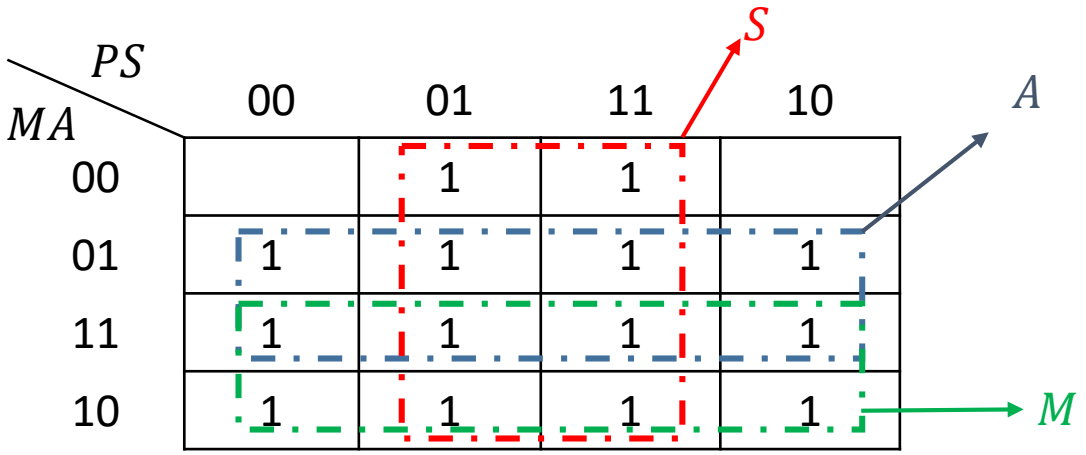
Uscite:

$E\ L\ V\ C$

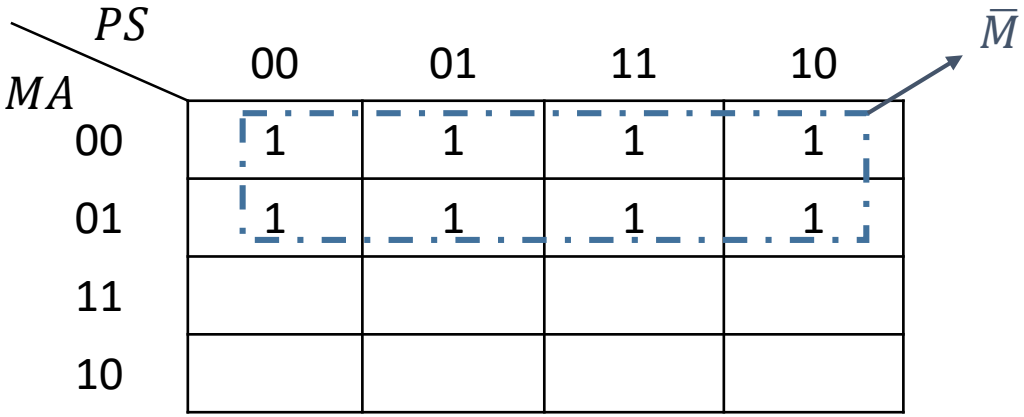
Esercitazioni Conclusive



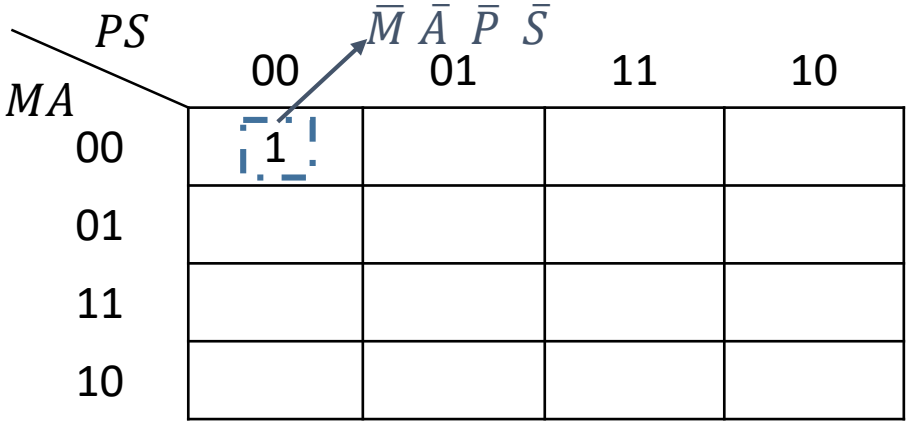
$E = \bar{M}\,\bar{S}$



$L = M+A+S$



$V = \bar{M}$



$C = \bar{M}\,\bar{A}\ \bar{P}\ \bar{S}$

Esercitazioni Conclusive

$S = s_0 s_1 s_2 s_3 s_4 s_5$ 6 AND, da tenere in considerazione quando si calcolano i costi delle equazioni del sistema

$E = \bar{M}\,\bar{S}$ 6 NAND e 2 AND

$L = M+A+S$ 6 AND e 3 OR

$V = \bar{M}$

$C = \bar{M}\,\bar{A}\;\bar{P}\;\bar{S}$ 6 NAND e 4 AND

C_I= 8+9+10=27

Esercitazioni Conclusive

Esercizio 5 - 10 Settembre 2024

- Si realizzi un contatore a 17 bit utilizzando solo contatori a 4 bit. Si riportino le equazioni del contatore a 4 bit realizzato utilizzando solo flip flop di tipo D e lo schema del circuito complessivo. Il circuito dovrà essere dotato di segnale di enable e di reset asincrono.

Esercitazioni Conclusive

Progetto del singolo contatore a 4 bit.

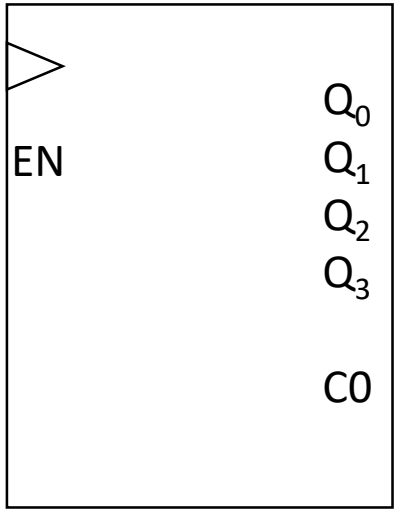
$$D_0 = Q_0 \oplus EN$$

$$D_1 = Q_1 \oplus (Q_0 EN)$$

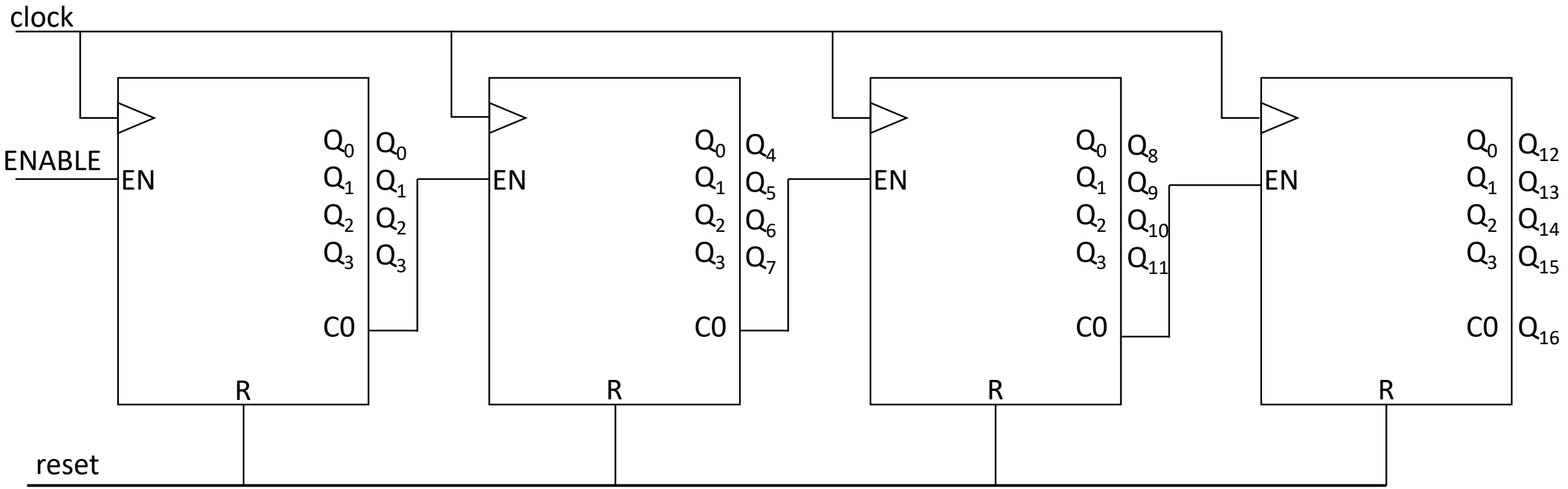
$$D_2 = Q_2 \oplus (Q_0 Q_1 EN)$$

$$D_3 = Q_3 \oplus (Q_0 Q_1 Q_2 EN)$$

$$C0 = Q_0 Q_1 Q_2 Q_3$$



Esercitazioni Conclusive



Esercitazioni Conclusive

Esercizio 4 - 19 Luglio 2024

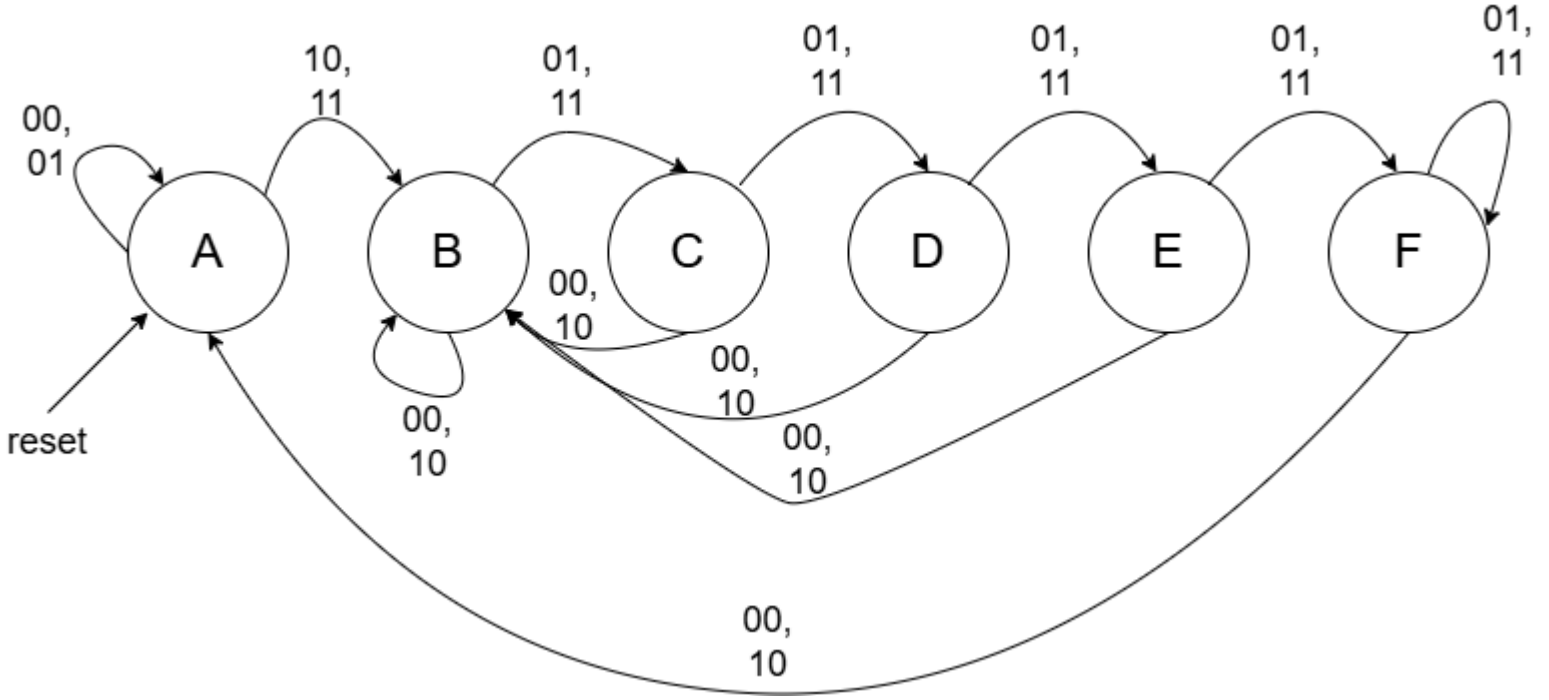
- Si progetti un circuito sequenziale per la gestione di una lavatrice automatica. La lavatrice è descritta dai seguenti stati, che in quest'ordine rappresentano un ciclo completo di lavaggio: idle (inattivo), load (carico), wash (lavaggio), rinse (risciacquo), spin (centrifuga), done (completato). Il sistema resta in idle finchè l'ingresso start vale 0. Non appena vale 1 il sistema inizia ad attraversare gli stati in modo ordinato, anche qualora il segnale di start tornasse a valere 0. Il sistema attende in load finchè l'ingresso della valvola di carico/scarico non vale 1. Il segnale della valvola dovrà restare ad 1 finchè non si raggiunge lo stato done, dove rimarrà il sistema finchè l'ingresso della valvola non varrà 0. Se in qualsiasi stato diverso da idle e done la valvola dovesse valere 0, il sistema dovrà tornare in load. Si progetti il sistema utilizzando solo flip flop di tipo D e la codifica one-hot. Indicare come viene gestito il reset del sistema e ricavare il costo totale degli ingressi, assumendo che il costo di un singolo flipflop sia pari a 14.

Esercitazioni Conclusive

Stati:
A -> idle
B -> load
C -> wash
D -> rinse
E -> spin
F -> done

Ingressi:
S -> start
V -> valvola

SV



Esercitazioni Conclusive

Stato Presente	Stato Futuro			
	SV=00	SV=01	SV=10	SV=11
A	A	A	B	B
B	B	C	B	C
C	B	D	B	D
D	B	E	B	E
E	B	F	B	F
F	A	F	A	F

Codifica one-hot
A -> 100000
B -> 010000
C -> 001000
D -> 000100
E -> 000010
F -> 000001

$$D_A = (A + F)\bar{S}\,\bar{V} + A\bar{S}\,V + F\,S\bar{V}$$
$$D_B = (B + C + D + E)\bar{S}\,\bar{V} + (A + B + C + D + E)S\bar{V} + ASV$$
$$D_C = B\bar{S}\,V + BSV$$
$$D_D = C\bar{S}\,V + CSV$$
$$D_E = D\bar{S}\,V + DSV$$
$$D_F = (E + F)\bar{S}\,V + (E + F)SV$$

Esercitazioni Conclusive

$D_A = (A + F)\bar{S}\,\bar{V} + A\bar{S}\,V + F\,S\bar{V}$ — 2OR() + 9 AND + 3 OR

$D_B = (B + C + D + E)\bar{S}\,\bar{V} + (A + B + C + D + E)S\bar{V} + ASV$ — 9OR() + 9 AND + 3 OR

$D_C = B\bar{S}\,V + BSV$ — 6 AND + 2 OR

$D_D = C\bar{S}\,V + CSV$ — 6 AND + 2 OR

$D_E = D\bar{S}\,V + DSV$ — 6 AND + 2 OR

$D_F = (E + F)\bar{S}\,V + (E + F)SV$ — 4 OR()+6 AND + 2 OR

C_I= 14x5+71=141

Il reset riporta nello stato codificato come 100000, quindi il set del primo flip-flop va collegato con il reset degli altri flip flop al segnale globale di reset.

Esercitazioni Conclusive

Esercizio 4 - 27 Gennaio 2022

- Si progetti un circuito logico sequenziale con due ingressi X e Y e un'uscita Z. L'ingresso X riceve una sequenza binaria di lunghezza arbitraria a partire dal bit più significativo. Per indicare che il bit posto nell'ingresso X è l'ultimo della sequenza, l'ingresso Y viene posto pari ad 1. In tutti gli altri casi Y vale 0. L'uscita Z deve valere 1 quando la sequenza binaria completa risulta essere un multiplo di 8, in tutti gli altri casi l'uscita Z deve valere 0. Costruire il diagramma di stato con il formalismo di Mealy, la tabella di stato e realizzare il circuito adottando la codifica Gray. Ricavare le equazioni booleane del circuito sequenziale e il costo degli ingressi, assumendo che ogni flip-flop abbia un costo pari a 14.

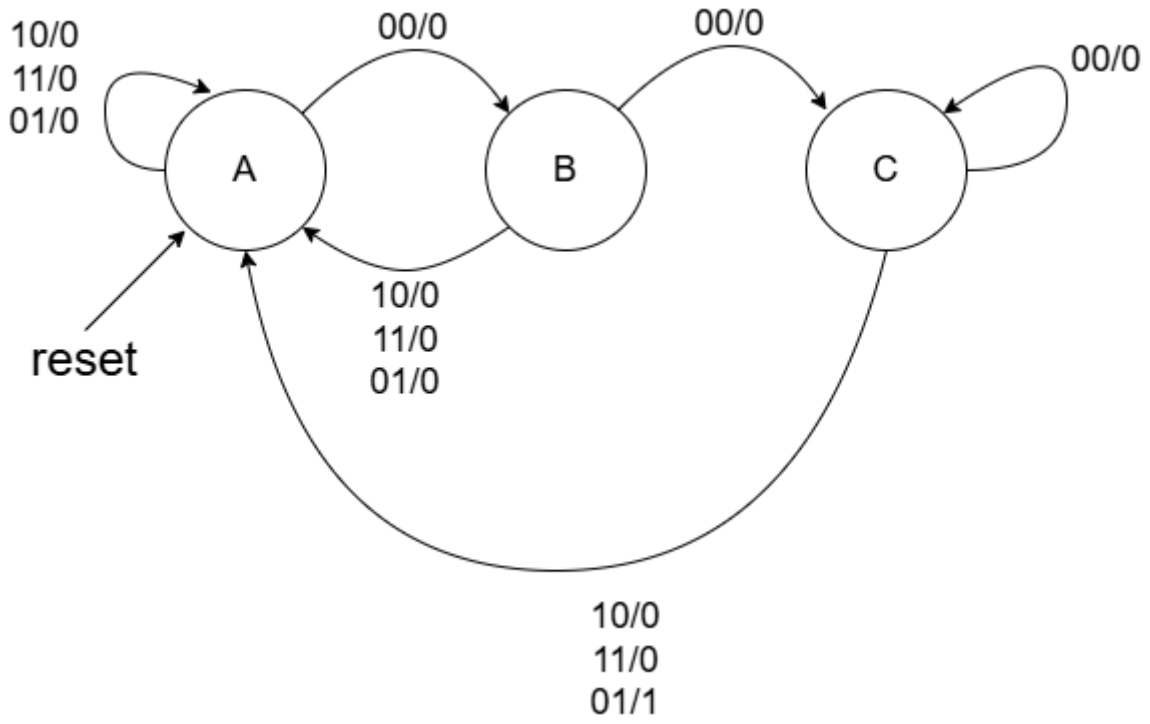
Esercitazioni Conclusive

Stati:

A -> nessun bit

B -> ricevuto 0

C -> ricevuto 00



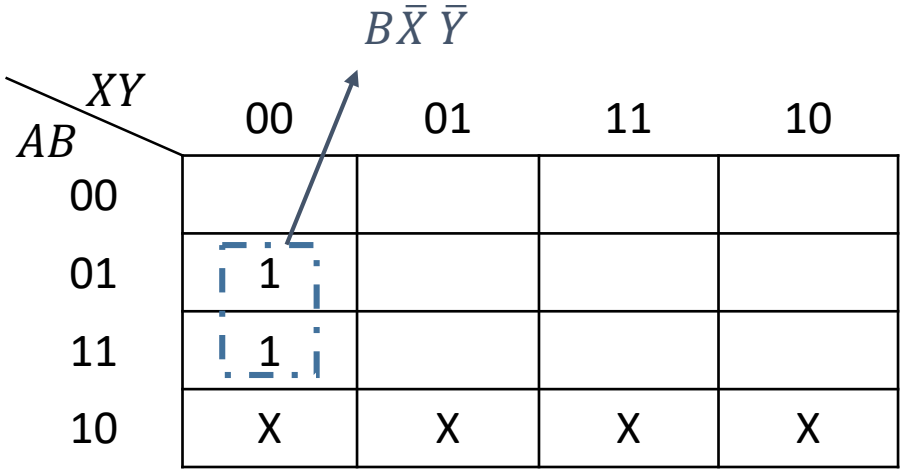
Esercitazioni Conclusive

Stato Presente	Stato Futuro				Uscita			
	XY=00	XY=01	XY=10	XY=11	XY=00	XY=01	XY=10	XY=11
A	B	A	A	A	0	0	0	0
B	C	A	A	A	0	0	0	0
C	C	A	A	A	0	1	0	0

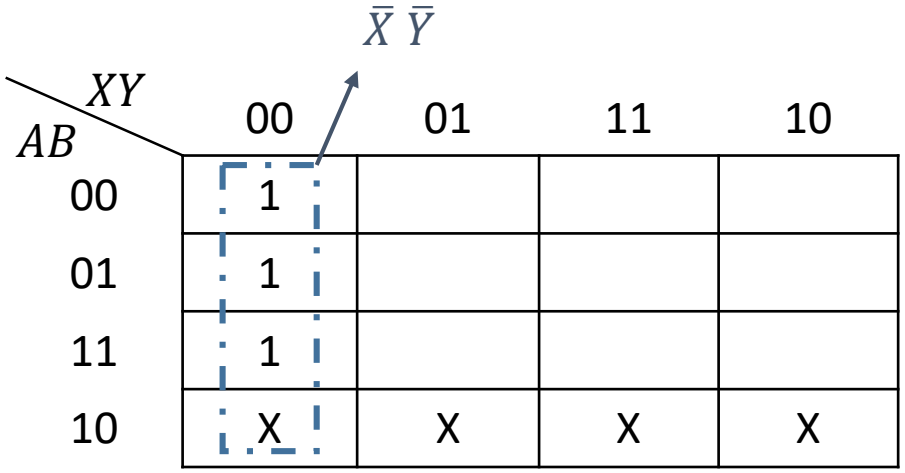
Gray: A -> 00 B -> 01 C -> 11

Stato Presente	Stato Futuro				Uscita			
AB	XY=00	XY=01	XY=10	XY=11	XY=00	XY=01	XY=10	XY=11
00	01	00	00	00	0	0	0	0
01	11	00	00	00	0	0	0	0
11	11	00	00	00	0	1	0	0

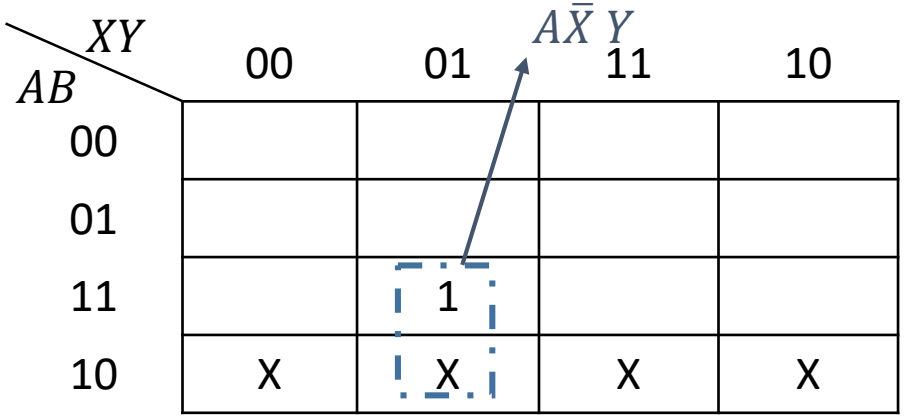
Esercitazioni Conclusive



$D_A = B\bar{X}\,\bar{Y}$



$D_B = \bar{X}\,\bar{Y}$



$Z = A\bar{X}\,Y$

C_I=14 x 2 + 8 = 36

Esercitazioni Conclusive

Esercizio 2 - 31 Agosto 2021 A

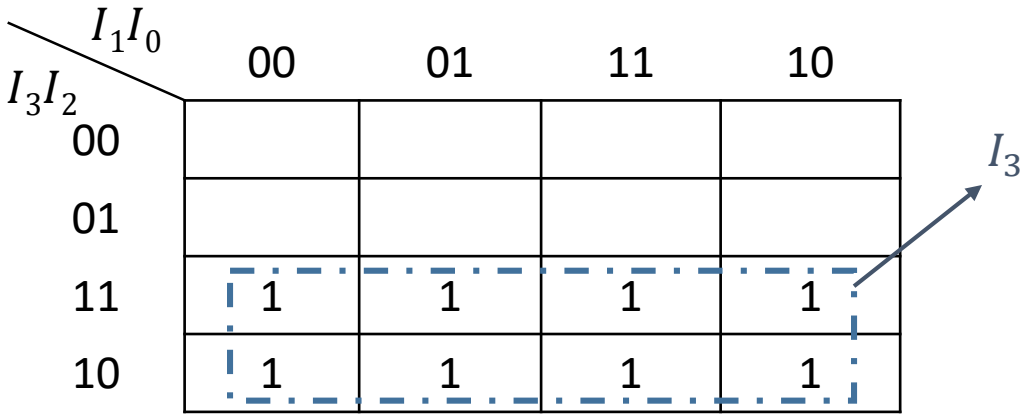
- Progettare un circuito per convertire numeri binari espressi in codice Gray in numeri binari espressi in BCD, imponendo che tutte le combinazioni d'ingresso non valide producano un codice d'uscita con tutti i bit ad 1 (riportare tabella di verità, mappe di Karnaugh ed equazioni semplificate). Come andrebbero modificate le equazioni per includere un segnale di ENABLE attivo basso?

Esercitazioni Conclusive

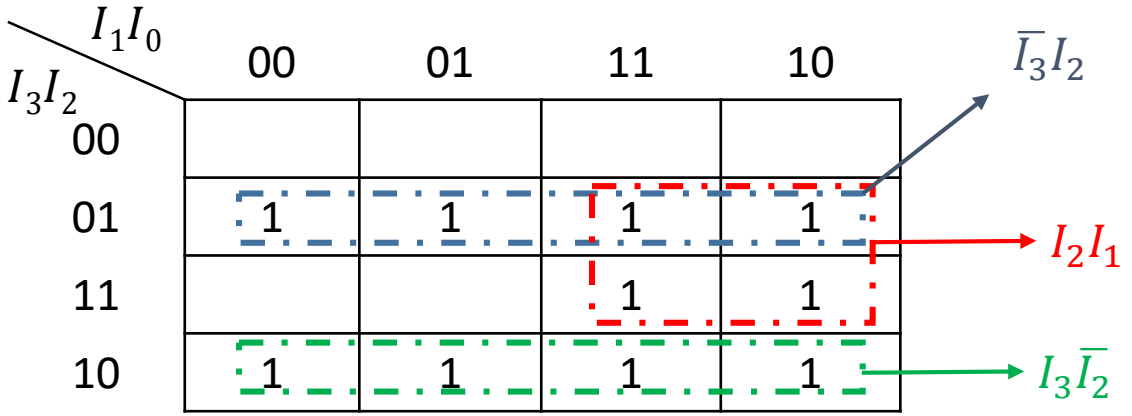
I_3	I_2	I_1	I_0	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	1
1	0	0	1	1	1	1	1
1	0	0	0	1	1	1	1

Esercitazioni Conclusive

I_3	I_2	I_1	I_0	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	1
1	0	0	1	1	1	1	1
1	0	0	0	1	1	1	1



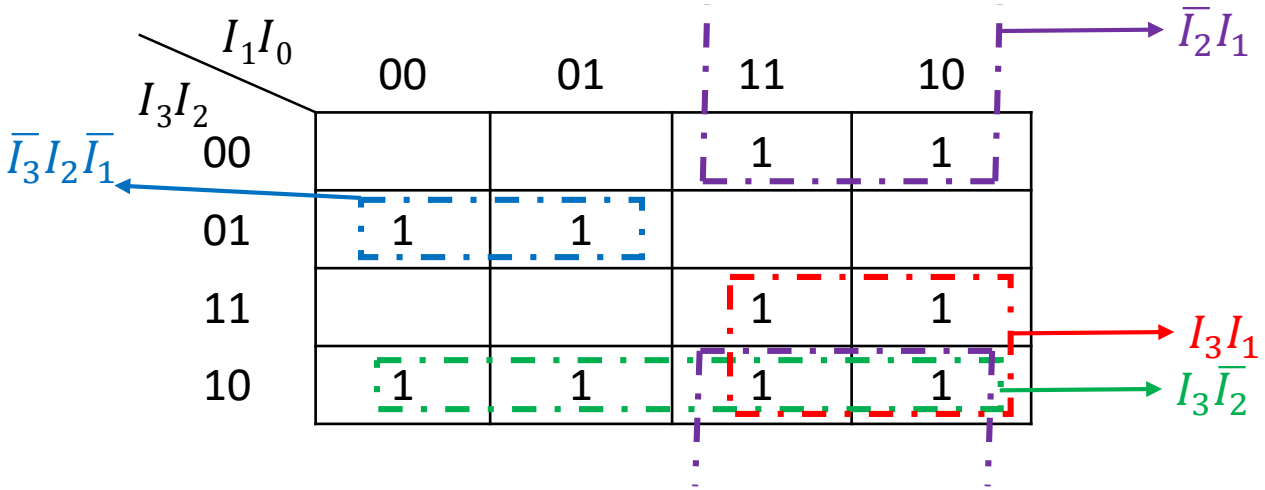
$$O_3 = I_3$$



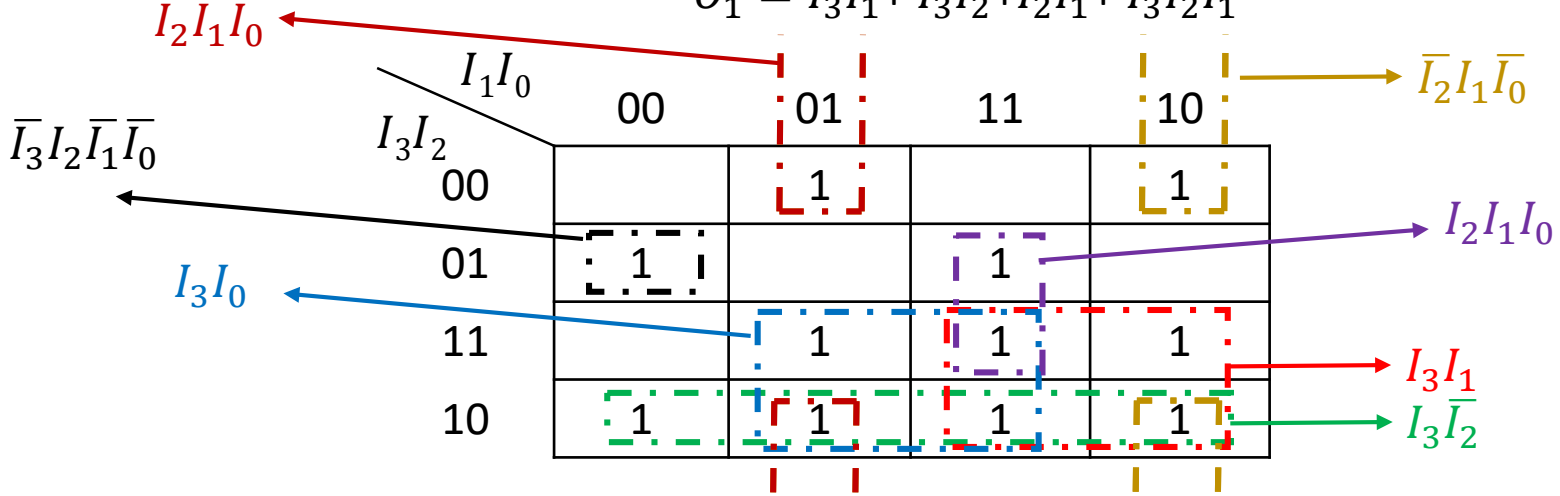
$$O_2 = \overline{I_3}I_2 + I_3\overline{I_2} + I_2I_1$$

Esercitazioni Conclusive

I_3	I_2	I_1	I_0	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	1
1	0	0	1	1	1	1	1
1	0	0	0	1	1	1	1



$$O_1 = I_3I_1 + I_3\overline{I_2} + \overline{I_2}I_1 + \overline{I_3}I_2\overline{I_1}$$



$$O_0 = I_3I_1 + I_3\overline{I_2} + I_2I_1I_0 + \overline{I_2}I_1\overline{I_0} + \overline{I_2}\overline{I_1}I_0 + I_3I_0 + \overline{I_3}I_2\overline{I_1}\overline{I_0}$$

Esercitazioni Conclusive

Come andrebbero modificate le equazioni per includere un segnale di ENABLE attivo basso?

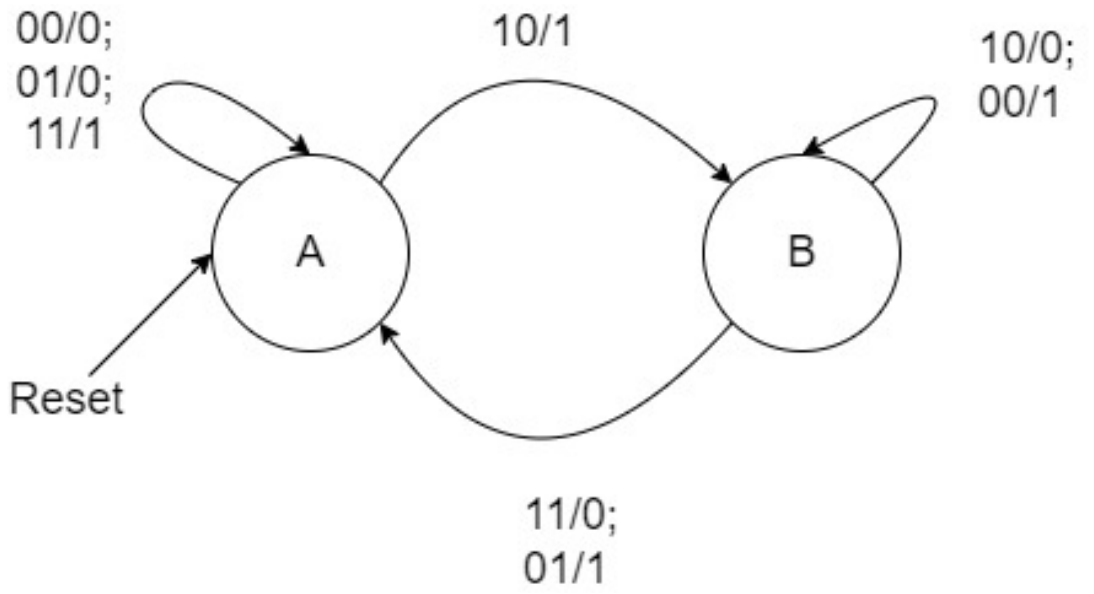
Per includere un segnale di ENABLE attivo basso è sufficiente mettere ogni equazione in AND con $\overline{ENABLE}$

Esercitazioni Conclusive

Esercizio 4 - 31 Marzo 2022

- Si progetti un circuito sequenziale con due ingressi X ed Y ed un'uscita Z. Il circuito deve essere in grado di convertire una sequenza di lunghezza arbitraria nella corrispondente sequenza espressa in complemento a 2. I bit vengono posti, a partire dal meno significativo, all'ingresso X. Quando un bit si presenta all'ingresso X, il corrispondente bit della sequenza binaria in complemento a 2 deve apparire immediatamente all'uscita Z. Per indicare che la sequenza è completa e che il circuito deve essere reinizializzato per ricevere un'altra sequenza, l'ingresso Y viene posto pari ad 1, in tutti gli altri casi si ha che l'ingresso Y vale 0. Si costruisca il diagramma di stato, indicando quale formalismo viene adottato. Si ricavi la tabella di stato e si adotti un'opportuna codifica che permetta di rilevare eventuali malfunzionamenti all'interno del circuito. Si preveda anche la presenza di una rete in grado di rilevare eventuali malfunzionamenti. Calcolare, infine, il costo totale del circuito complessivo assumendo che il costo di un singolo flip flop sia pari a 14.

Esercitazioni Conclusive



XY/Z

A= In attesa del primo 1
B= Il primo 1 è stato ricevuto

L'uscita dipende dallo stato e dagli ingressi, quindi è un diagramma di tipo Mealy

Esercitazioni Conclusive

Stato Presente	Stato Futuro				Uscita			
	XY=00	XY=01	XY=10	XY=11	XY=00	XY=01	XY=10	XY=11
A	A	A	B	A	0	0	1	1
B	B	A	B	A	1	1	0	0

Codifica one-hot -> A->01 B->10

$D_A = A(\bar{X}\,\bar{Y} + \bar{X}Y + XY) + B(\bar{X}Y + XY)$

$D_B = AX\bar{Y} + B(\bar{X}\bar{Y} + X\bar{Y})$

$Z = A(X\bar{Y} + XY) + B(\bar{X}\bar{Y} + \bar{X}Y)$

$E = AB + \bar{A}\,\bar{B} = \overline{A \oplus B}$

10 AND tra (), 5 OR tra (), 4 AND, 2 OR=21

4 AND tra (), 2 OR tra (), 5 AND, 2 OR=13

8 AND tra (), 4 OR tra (), 4 AND, 2 OR=18

2 NOR

C_I=14x2+21+13+18+2=82

Esercitazioni Conclusive

Esercizio 7 - 27 Gennaio 2022

- Si consideri il seguente codice VHDL che descrive un sommatore/sottrattore sincrono a 4 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE attivo basso. Descrivere poi come andrebbe modificato il codice per includere una porta OVF che indichi il verificarsi della condizione di overflow. Modificare infine il codice per includere una porta W che permetta di cambiare l'ordine degli operandi quando W=1.

Esercitazioni Conclusive

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity as is
5:        port(
6:                        clk, sel, reset in std_logic;
7:                        A,B : in std_logic_vector(4 downto 0);
8:                        RIS   : out std_logic_vector(4 downto 0)
9:                        );

10: end sub;

11: architecture arch of as is
12:       signal res : signed(4 downto 0);

13:       begin
14:                       process (clk, reset)
15:                       begin
16:                                 if (reset = '0') then
17:                                           res<="00000";
18:                                 elsif (rising_edge(clk))
19:                                           if (sel = '0') then
20:                                                     res <= signed(A)+signed(B);
21:                                           else
22:                                                     res <= signed(A)+signed(not(B))+1;
23:                                           end if;
24:                                 end if;
25:                       end process;
26:                       RIS <= std_logic_vector(res(4 downto 0));
27: end arch;
```

Esercitazioni Conclusive

Porta di ENABLE attivo basso: modifica a linea 7 e 18

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity as is
5:       port(
6:                clk, sel, reset in std_logic;
7:                A,B,ENABLE : in std_logic_vector(4 downto 0);
8:                RIS   : out std_logic_vector(4 downto 0)
9:                );

10: end sub;

11: architecture arch of as is
12:      signal res : signed(4 downto 0);

13:      begin
14:               process (clk, reset)
15:               begin
16:                        if (reset = '0') then
17:                                 res<="00000";
18:                        elsif (rising_edge(clk) and ENABLE='0')
19:                                 if (sel = '0') then
20:                                          res <= signed(A)+signed(B);
21:                                 else
22:                                          res <= signed(A)+signed(not(B))+1;
23:                                 end if;
24:                        end if;
25:               end process;
26:               RIS <= std_logic_vector(res(4 downto 0));
27: end arch;
```

Esercitazioni Conclusive

```
4: entity as is
5:      port(
6:                  clk, sel, reset in std_logic;
7:                  A,B : in std_logic_vector(4 downto 0);
                    OVF : out std_logic;
8:                  RIS   : out std_logic_vector(4 downto 0)
9:                  );

10: end sub;

11: architecture arch of as is
12:     signal res : signed(4 downto 0);
        signal ov : std_logic;
13:     begin
14:                 process (clk, reset)
15:                 begin
16:                             if (reset = '0') then
17:                                         res<="00000";
                                            ov <='0';
18:                             elsif (rising_edge(clk) )
19:                                         if (sel = '0') then
20:                                                     res <= signed(A)+signed(B);
                                                        ov<=(A(4) and B(4) and (not(res(4))) or (not(A(4)) and not(B(4)) and res(4);
21:                                         else
22:                                                     res <= signed(A)+signed(not(B))+1;
                                                        ov<=(A(4) and not(B(4)) and (not(res(4))) or (not(A(4)) and B(4) and res(4);
23:                                         end if;
24:                             end if;
25:                 end process;
26:                 RIS <= std_logic_vector(res(4 downto 0));
                    OVF<=ov;
27: end arch;
```

Porta di overflow OVF: modifica tra linea 7 e 8, tra linea 12 e 13, tra linea 17 e 18, tra linea 20 e 21, tra linea 22 e 23, tra linea 26 e 27

Esercitazioni Conclusive

Porta W: modifica a linea 6, aggiunta if tra linea 21 e 22

```
4: entity as is
5:      port(
6:                  clk, sel, reset ,W in std_logic;
7:                  A,B : in std_logic_vector(4 downto 0);
8:                  RIS   : out std_logic_vector(4 downto 0)
9:                  );

10: end sub;

11: architecture arch of as is
12:     signal res : signed(4 downto 0);

13:     begin
14:                 process (clk, reset)
15:                 begin
16:                         if (reset = '0') then
17:                                 res<="00000";
18:                         elsif (rising_edge(clk))
19:                                 if (sel = '0') then
20:                                         res <= signed(A)+signed(B);
21:                                 else
                                            if(W='0') then
22:                                             res <= signed(A)+signed(not(B))+1;
                                            else
                                                res <= signed(B)+signed(not(A))+1;
                                            end if;
23:                                 end if;
24:                         end if;
25:                 end process;
26:                 RIS <= std_logic_vector(res(4 downto 0));
27: end arch;
```

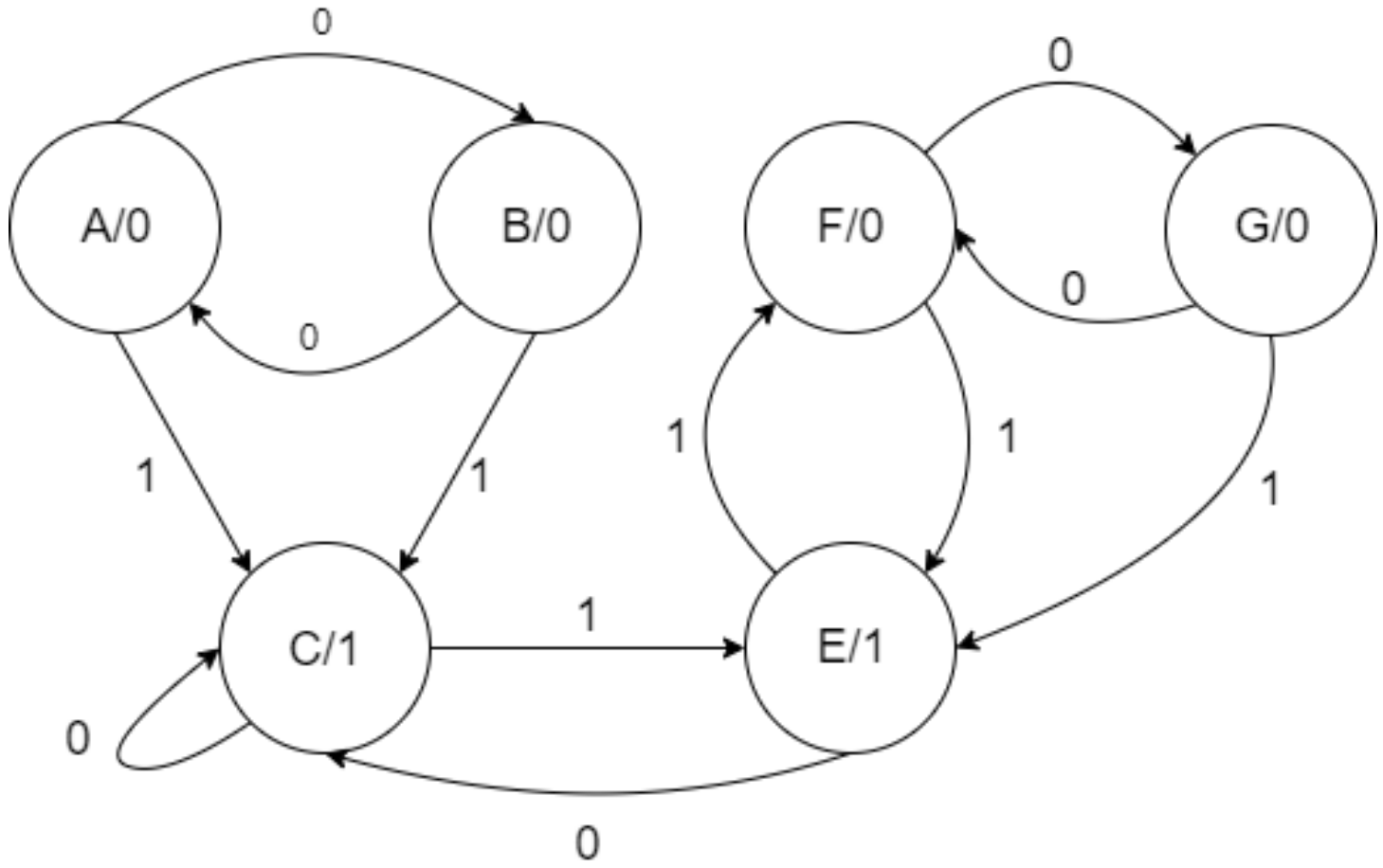
Esercitazioni Conclusive

Esercizio 6 - 7 Luglio 2021

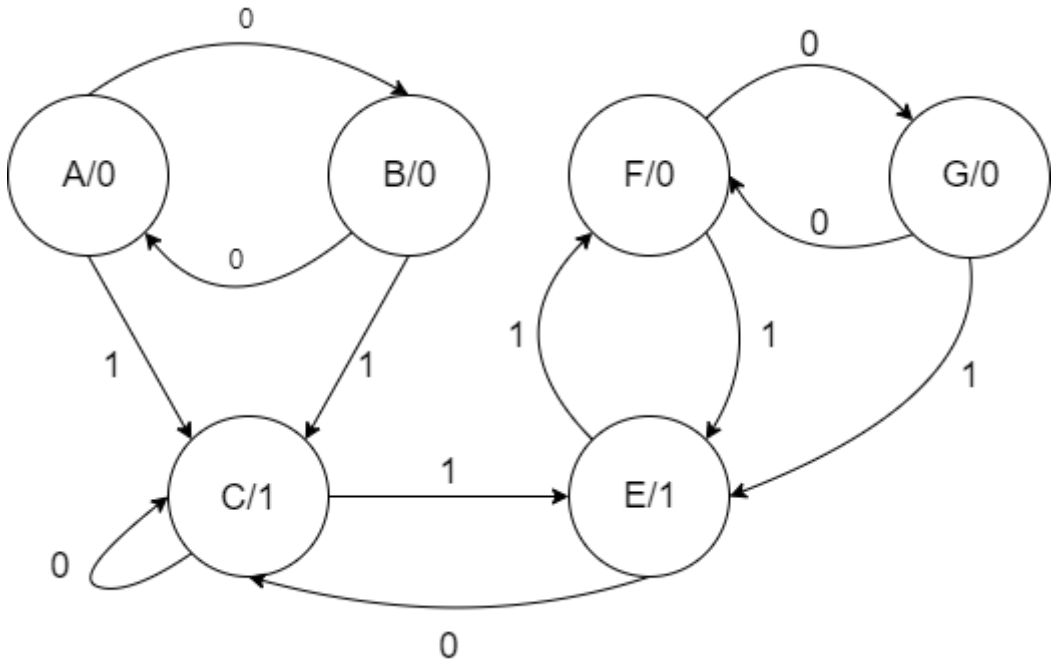
- Si consideri il seguente diagramma di stato. Indicare se si tratta di un circuito di tipo Mealy o di tipo Moore, motivando la risposta. Eliminare eventuali stati equivalenti e ricavare la tabella di stato ed assegnare agli stati un codice binario secondo la codifica one-hot. Implementare poi il circuito utilizzando solo flip-flop di tipo D (non è necessario disegnare tutto il circuito, ma bisogna indicare come collegare il reset ai flip-flop). Calcolare il costo degli ingressi assumendo che il costo di un singolo flip flop sia pari a 14 e non considerando il costo delle porte NOT sugli ingressi.

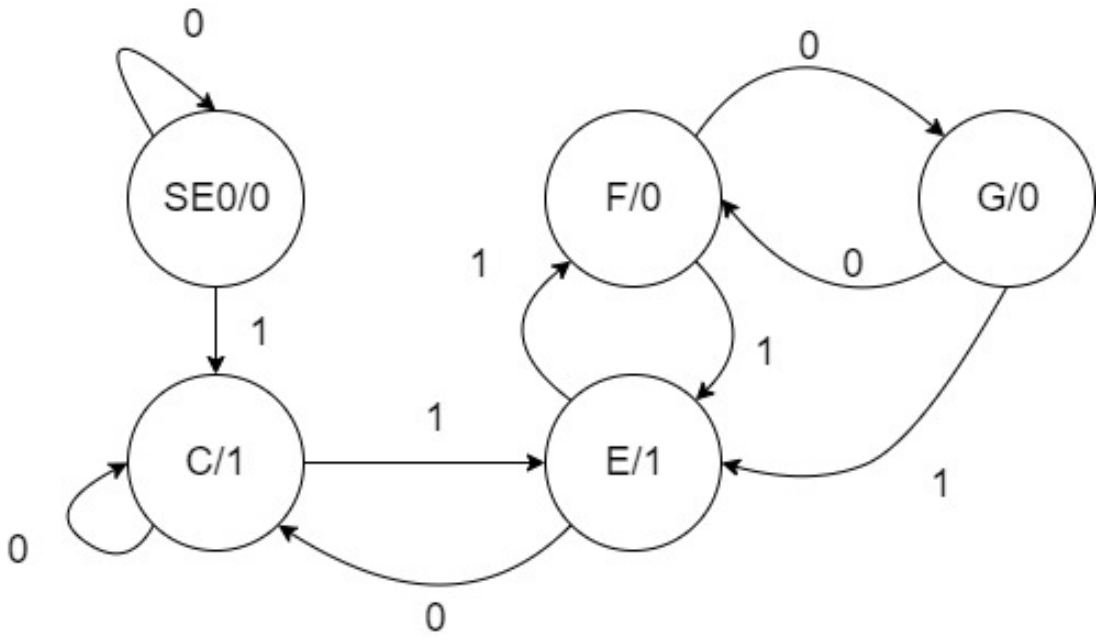
Esercitazioni Conclusive

Circuito Moore:
l'uscita dipende solo dallo stato



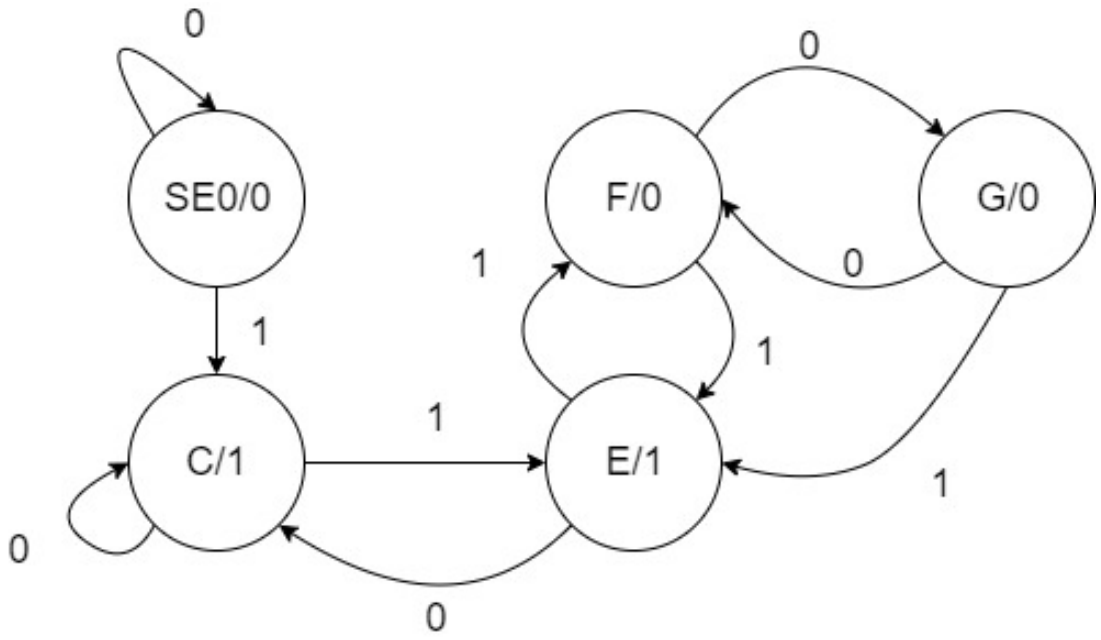
Esercitazioni Conclusive

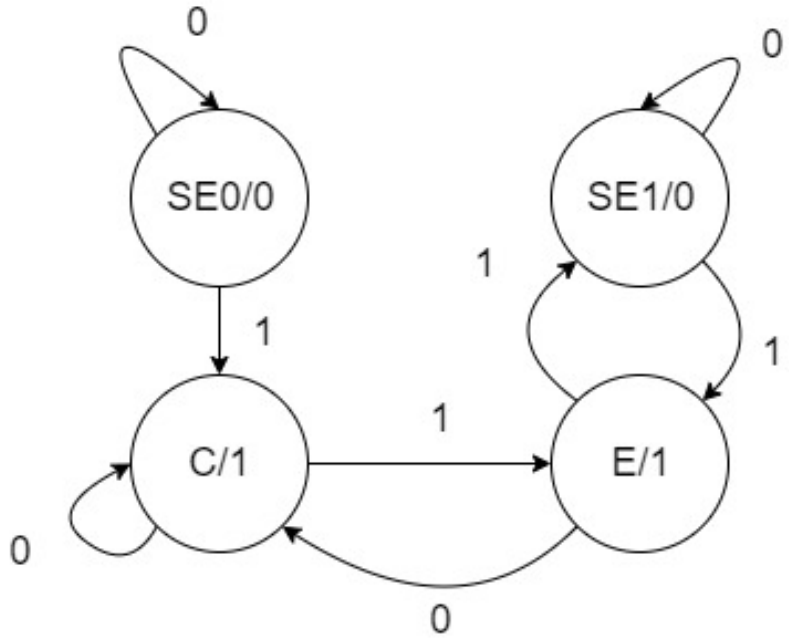




A e B sono equivalenti -> SE0

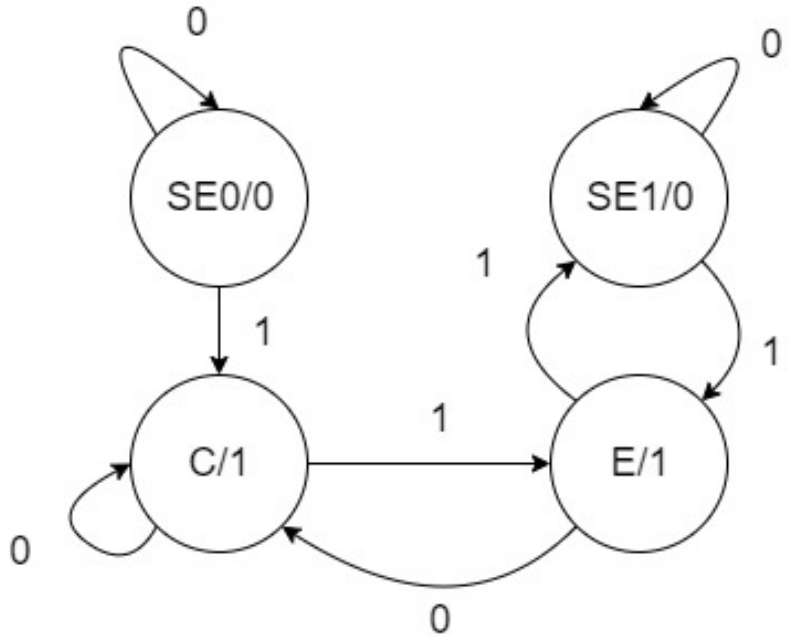
Esercitazioni Conclusive





F e G sono equivalenti -> SE1

Esercitazioni Conclusive



Stato Presente	Stato Futuro		Uscita
	X=0	X=1	Z
SE0	SE0	C	0
SE1	SE1	E	0
C	C	E	1
E	C	SE1	1

Esercitazioni Conclusive

Stato Presente	Stato Futuro		Uscita
	X=0	X=1	Z
SE0	SE0	C	0
SE1	SE1	E	0
C	C	E	1
E	C	SE1	1

Codifica one-hot:
SE0 -> 0001
SE1 -> 0010
C -> 0100
E -> 1000

$D_{SE0} = SE0\ \bar{X}$ 2 AND

$D_{SE1} = SE1\ \bar{X} + EX$ 4 AND + 2 OR = 6

$D_C = (C + E)\bar{X} + SE0\ X$ 2 OR () + 4 AND + 2 OR = 8

$D_E = (SE1 + C)X$ 2 OR () + 2 AND = 4

$Z = C + E$ 2 OR

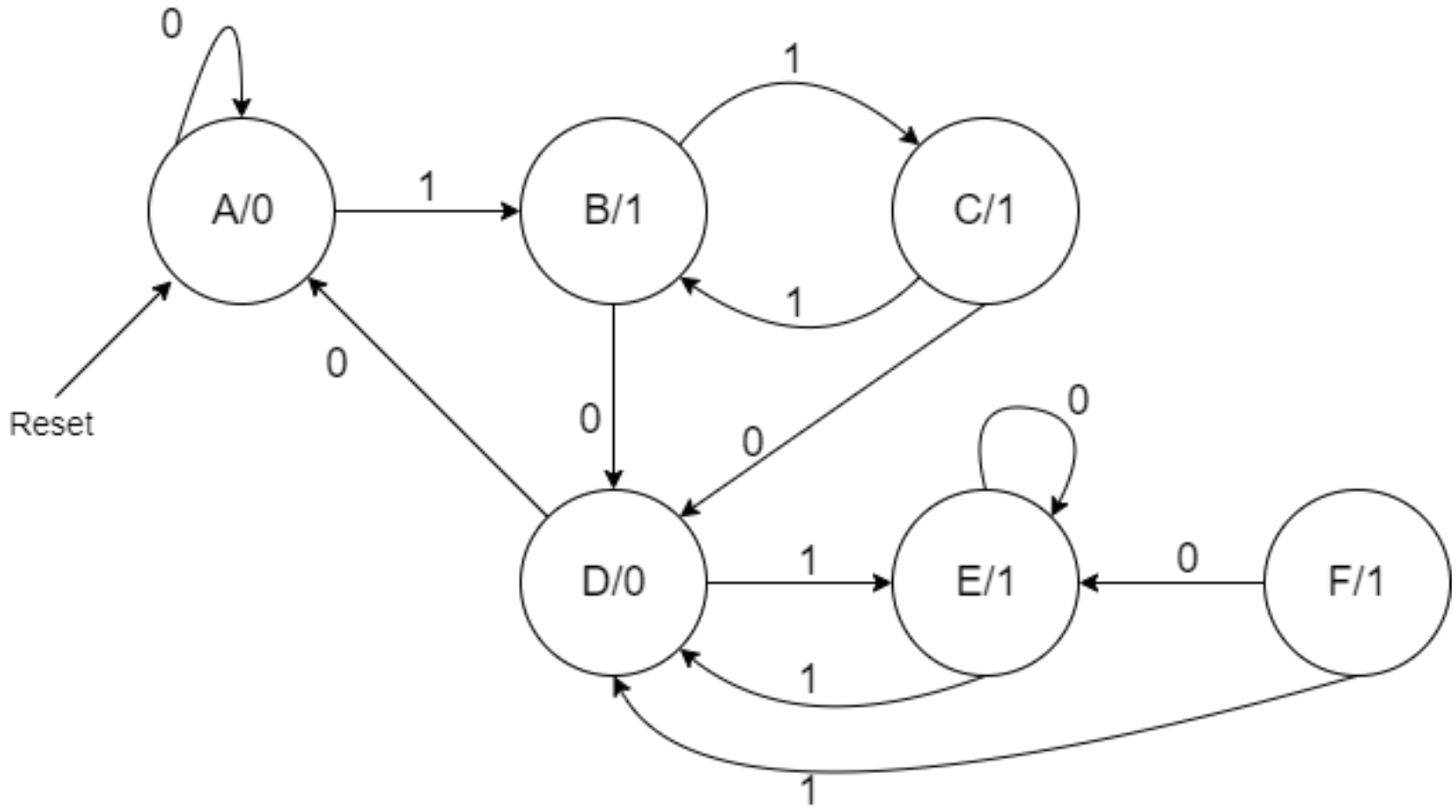
C_l=14x4+22=78

Esercitazioni Conclusive

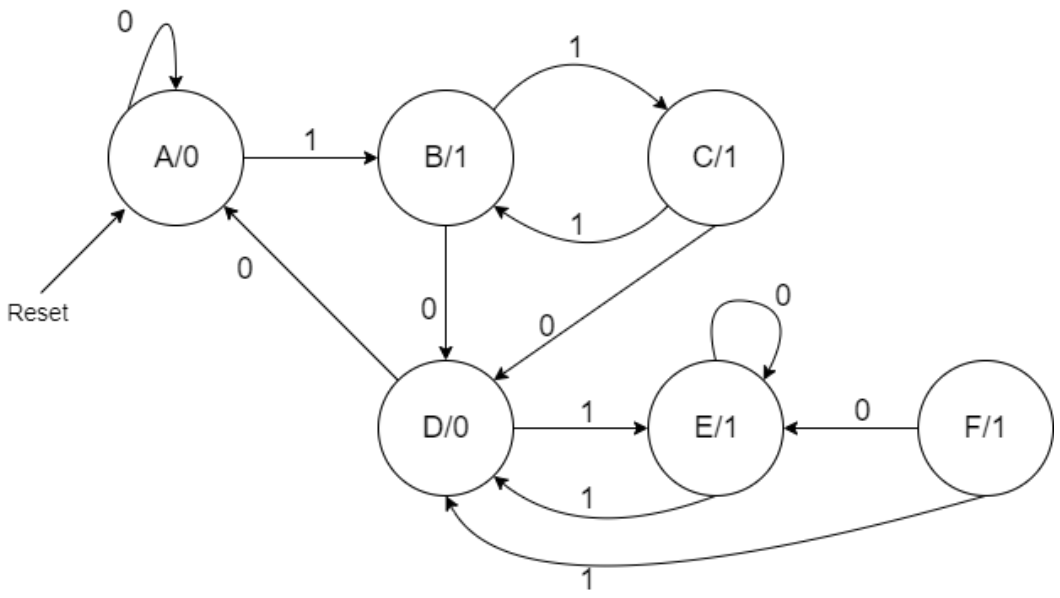
Esercizio 4 - 26 Marzo 2021

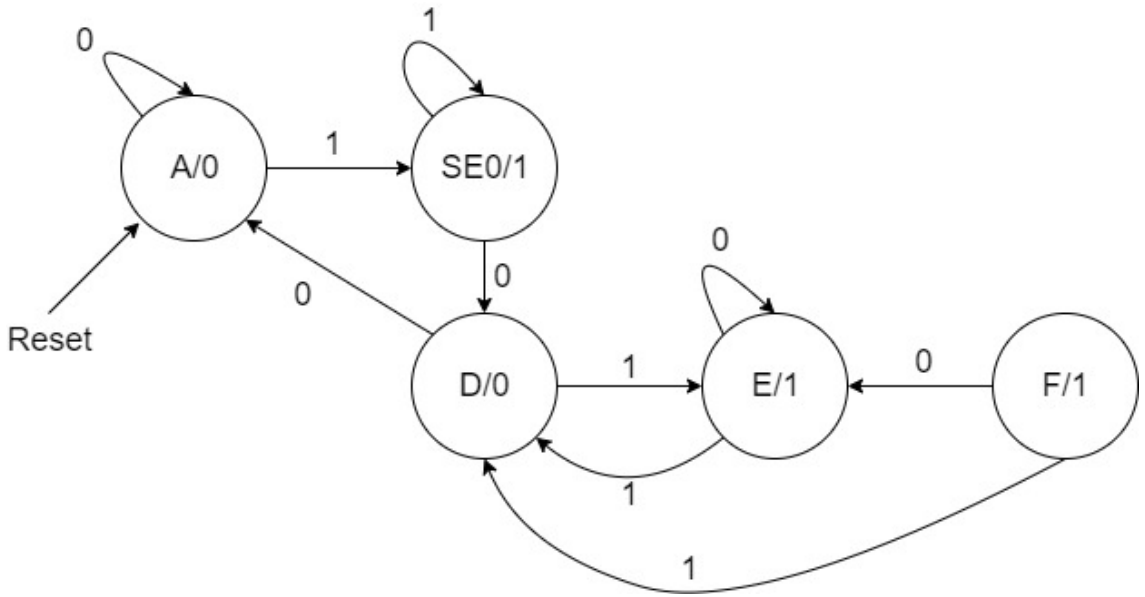
- Si consideri il seguente diagramma di stato. Eliminare eventuali stati equivalenti, ricavare la tabella di stato ed assegnare agli stati un codice binario secondo la codifica Gray. Implementare poi il circuito utilizzando solo flip-flop di tipo D (non è necessario disegnare tutto il circuito, basta indicare le equazioni e come viene collegato il segnare di reset ai flip-flop). Calcolare poi il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14 ed ignorando il costo delle porte NOT sugli ingressi. Si indichi poi come sia possibile sostituire i flip-flop di tipo D con flip-flop JK senza apportare modifiche alle rete combinatoria che genera gli ingressi ai flip-flop.

Esercitazioni Conclusive



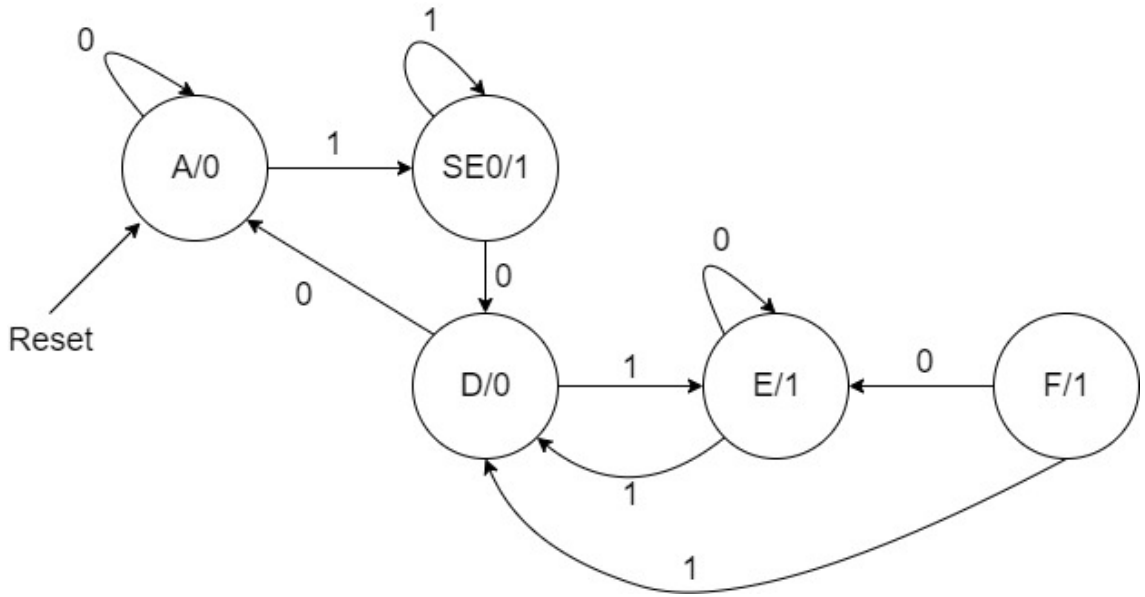
Esercitazioni Conclusive

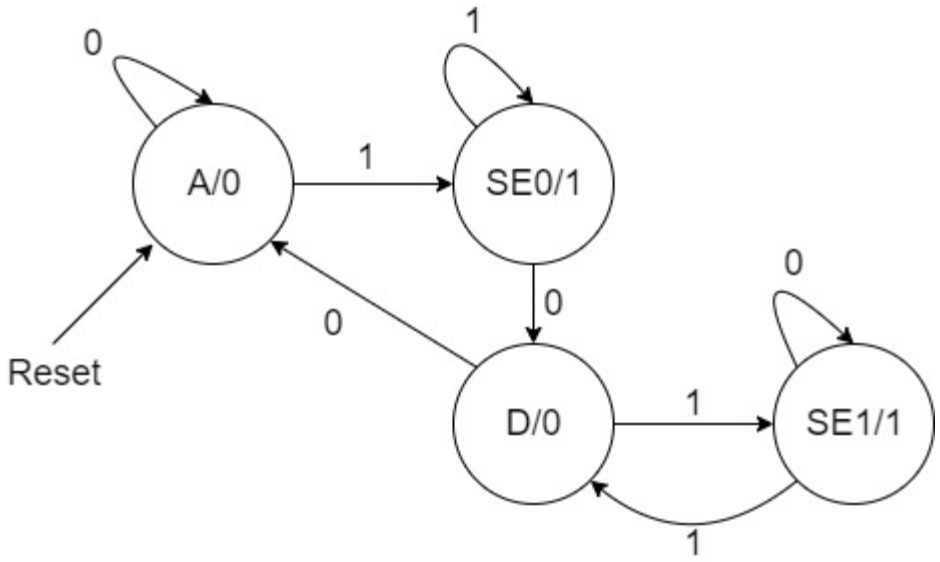




B e C sono equivalenti -> SE0

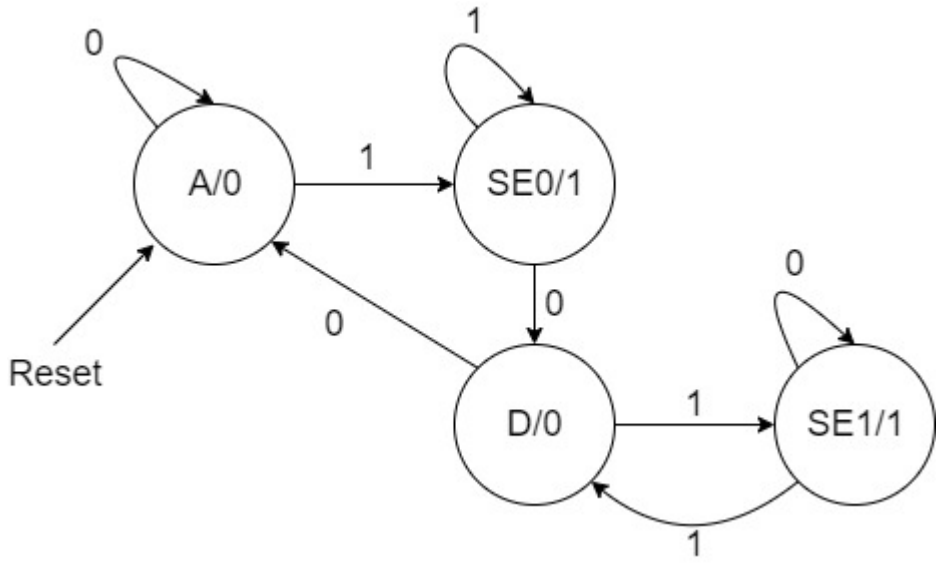
Esercitazioni Conclusive





E e F sono equivalenti -> SE1

Esercitazioni Conclusive



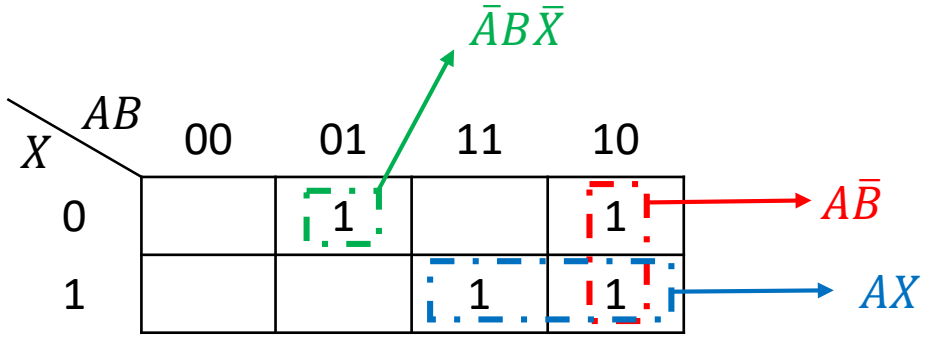
Codifica Gray: A->00
SE0->01
D->11
SE1->10

Stato Presente	Stato Futuro		Uscita
	X=0	X=1	Z
A	A	SE0	0
SE0	D	SE0	1
D	A	SE1	0
SE1	SE1	D	1

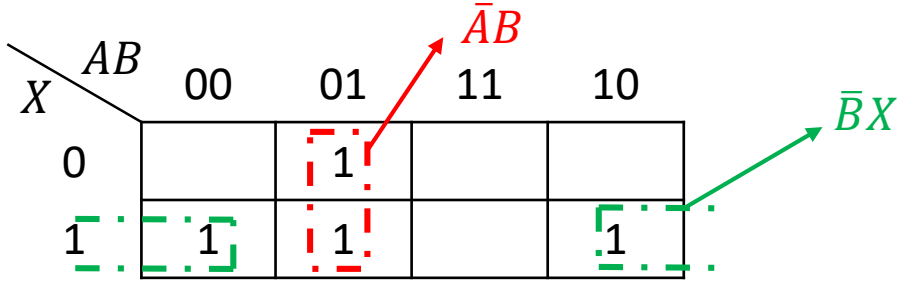
Stato Presente	Stato Futuro		Uscita
AB	X=0	X=1	Z
00	00	01	0
01	11	01	1
11	00	10	0
10	10	11	1

Esercitazioni Conclusive

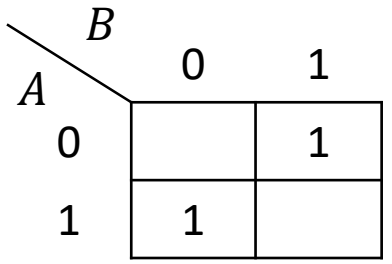
Stato Presente	Stato Futuro		Uscita
AB	X=0	X=1	Z
00	00	01	0
01	11	01	1
11	00	10	0
10	10	11	1



$$D_A = A\bar{B} + AX + \bar{A}B\bar{X}$$



$$D_B = \bar{A}B + \bar{B}X$$



$$Z = A\bar{B} + \bar{A}B = A \oplus B$$

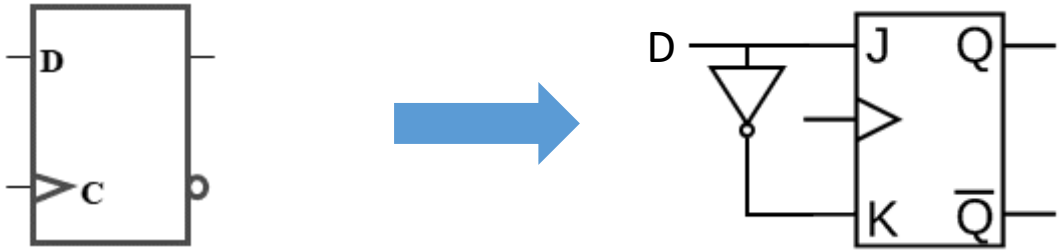
Esercitazioni Conclusive

$D_A = A\bar{B} + AX + \bar{A}B\bar{X}$ 7 AND + 3 OR = 10

$D_B = \bar{A}B + \bar{B}X$ 4 AND + 2 OR = 6

$Z = A\bar{B} + \bar{A}B = A \oplus B$ 2 XOR

C_I=14 x 2 + 18 = 46



Esercitazioni Conclusive

Esercizio 4 - 31 Agosto 2021 A

- Si progetti un contatore in complemento a 2 che conti da -3 a 3 utilizzando solo flip-flop ti tipo D. Considerare le combinazioni non utilizzate come condizioni di non specificazione. Il contatore dovrà essere dotato di un segnale di ENABLE attivo basso, che blocchi il conteggio quando ENABLE vale 1. Quando il segnale di abilitazione viene nuovamente posto a 0, il conteggio dovrà ripartire dal valore memorizzato nel contatore. Si calcoli il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.

Esercitazioni Conclusive

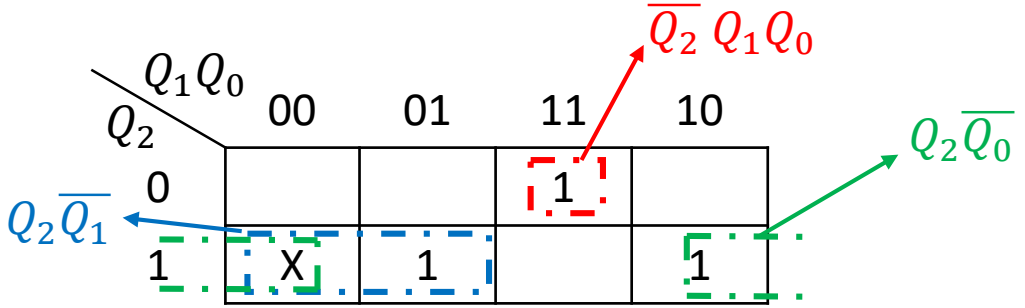
Stato presente			Stato futuro		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	1

100 -> Condizione di non specificazione

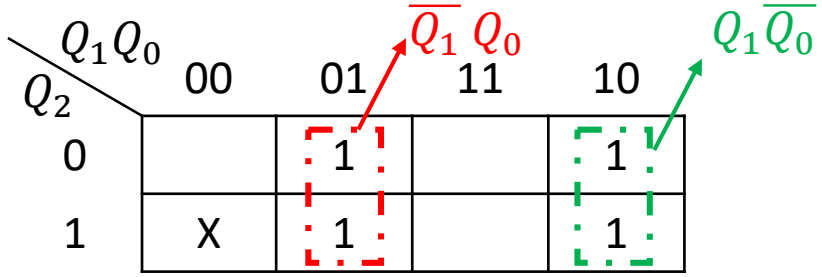
Esercitazioni Conclusive

Stato presente			Stato futuro		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	1

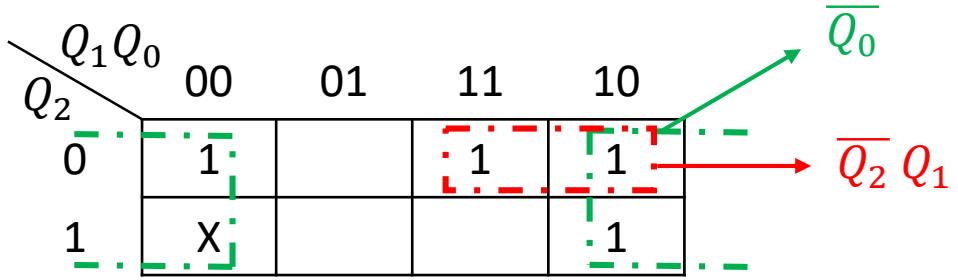
100 -> Condizione di non specificazione



$$D_2 = Q_2\overline{Q_1} + Q_2\overline{Q_0} + \overline{Q_2}\,Q_1Q_0$$



$$D_1 = \overline{Q_1}\,Q_0 + Q_1\overline{Q_0}$$



$$D_0 = \overline{Q_0} + \overline{Q_2}Q_1$$

Esercitazioni Conclusive

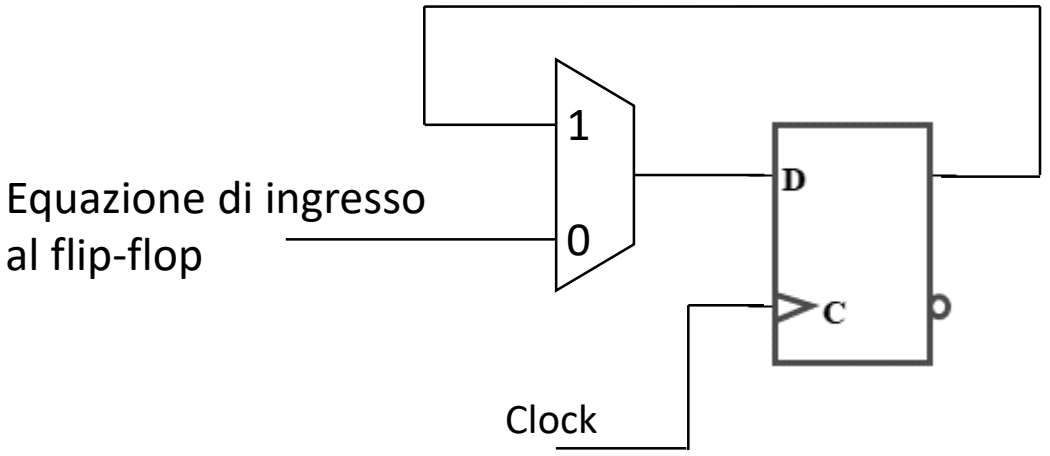
$D_2 = Q_2\overline{Q_1} + Q_2\overline{Q_0} + \overline{Q_2}\,Q_1Q_0$ 7 AND + 3 OR = 10

$D_1 = \overline{Q_1}\,Q_0 + Q_1\overline{Q_0}$ 4 AND + 2 OR = 6

$D_0 = \overline{Q_0} + \overline{Q_2}Q_1$ 2 AND + 2 OR = 4

$C_I = 14 \times 3 + 20 = 62$

Segnale di ENABLE attivo basso

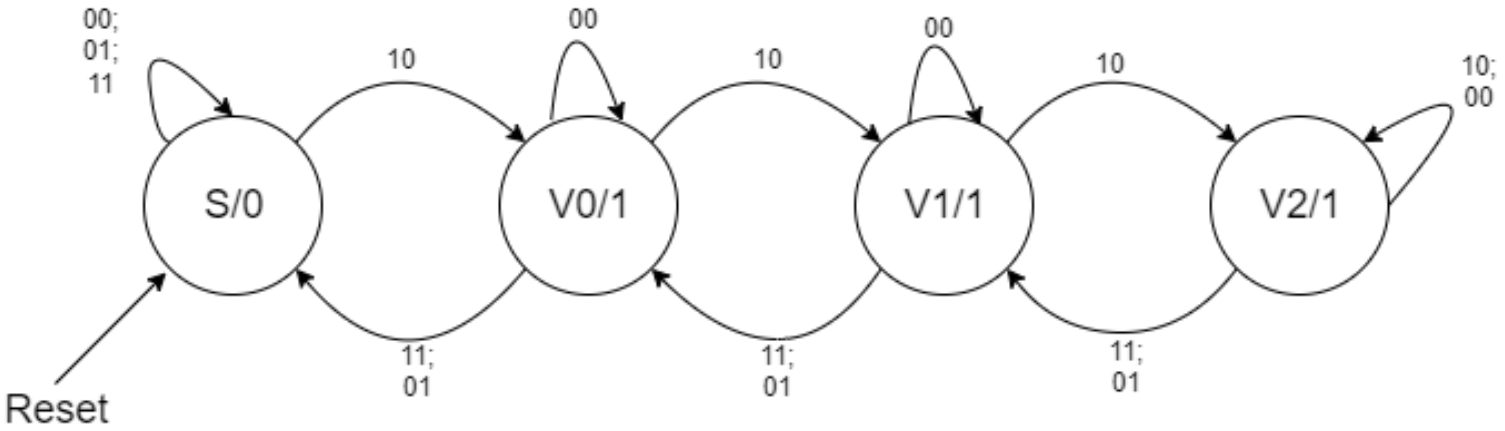


Esercitazioni Conclusive

Esercizio 4 - 3 Novembre 2021 A

- Si progetti il sistema di controllo di un ventilatore digitale. Il ventilatore può essere spento (S), oppure avere tre differenti velocità (V0, V1, V2). Il ventilatore è dotato di due pulsanti P ed M (ingressi) per aumentare e diminuire la velocità e di un LED L (uscita). Il ventilatore è inizialmente spento e si accende ed inizia a girare alla velocità V0 quando viene premuto il pulsante P. Ad ogni successiva pressione di P la velocità aumenta, fino a raggiungere la massima velocità (V2). Ogni pressione del pulsante M fa diminuire la velocità. Se il pulsante M viene premuto quando il ventilatore è alla velocità minima (V0), questo si spegne. Il LED L deve essere acceso solo quando il ventilatore è in funzione. Progettare il sistema di controllo, assumendo che la pressione contemporanea dei pulsanti P ed M corrisponda alla sola pressione del pulsante M. Indicare il diagramma di stato, la tabella di stato e progettare il circuito utilizzando solo flip-flop D ed adottando una codifica Gray. Calcolare il costo del circuito assumendo che ogni flip-flop abbia un costo pari a 14.

Esercitazioni Conclusive



PM

Stato Presente	Stato Futuro				Uscita
	PM=00	PM=01	PM=10	PM=11	
S	S	S	V0	S	0
V0	V0	S	V1	S	1
V1	V1	V0	V2	V0	1
V2	V2	V1	V2	V1	1

Esercitazioni Conclusive

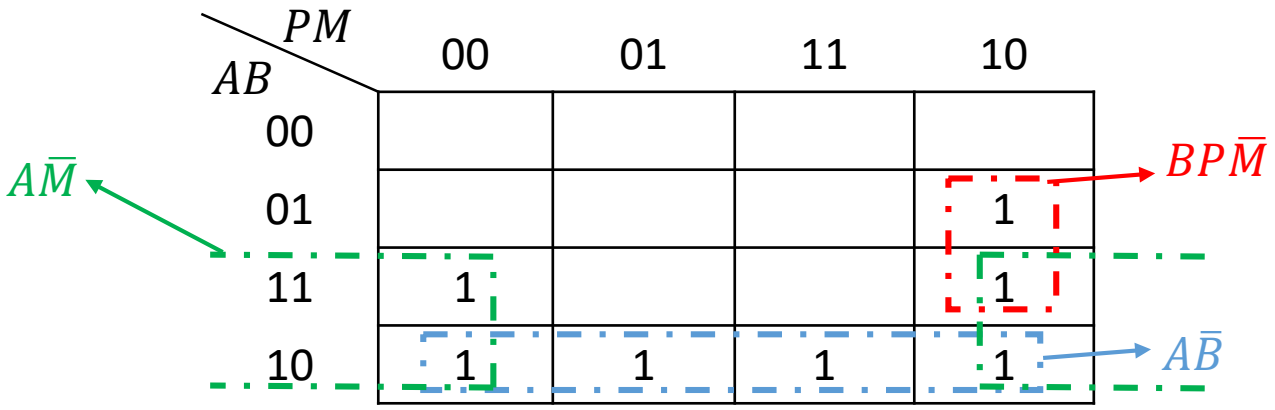
Stato Presente	Stato Futuro				Uscita
	PM=00	PM=01	PM=10	PM=11	
S	S	S	V0	S	0
V0	V0	S	V1	S	1
V1	V1	V0	V2	V0	1
V2	V2	V1	V2	V1	1

Codifica Gray : S->00 V0->01 V1->11 V2->10

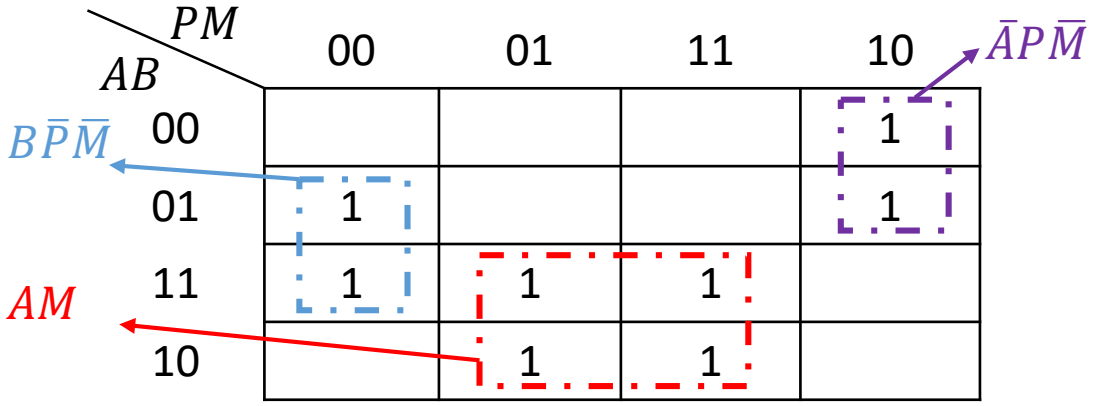
Stato Presente	Stato Futuro				Uscita
AB	PM=00	PM=01	PM=10	PM=11	
00	00	00	01	00	0
01	01	00	11	00	1
11	11	01	10	01	1
10	10	11	10	11	1

Esercitazioni Conclusive

Stato Presente	Stato Futuro				Uscita
AB	PM=00	PM=01	PM=10	PM=11	
00	00	00	01	00	0
01	01	00	11	00	1
11	11	01	10	01	1
10	10	11	10	11	1

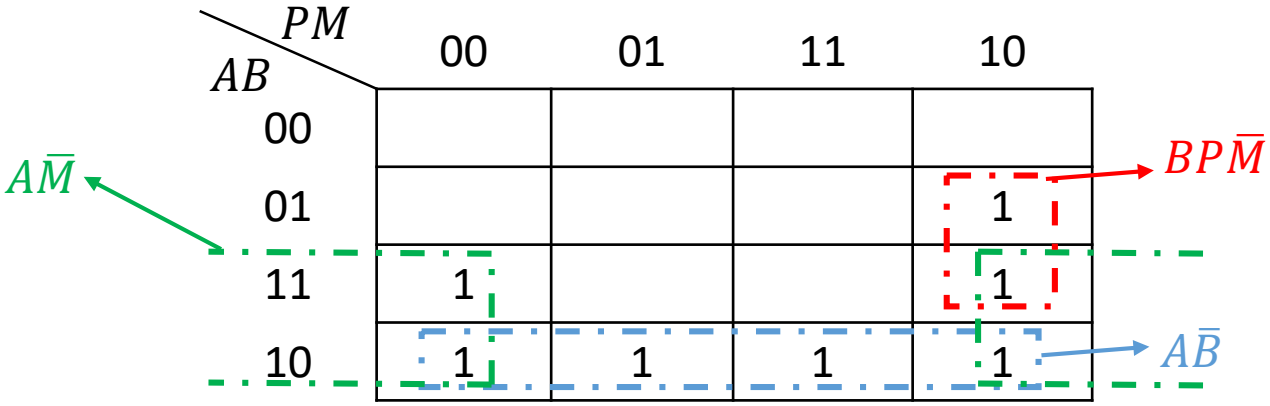


$$D_A = A\bar{B} + A\bar{M} + BP\bar{M}$$



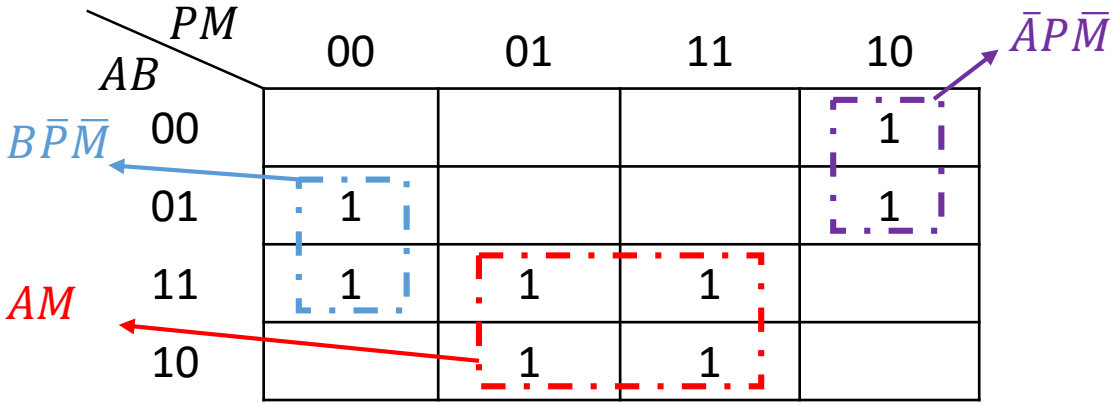
$$D_B = B\bar{P}\bar{M} + AM + \bar{A}P\bar{M}$$

Esercitazioni Conclusive



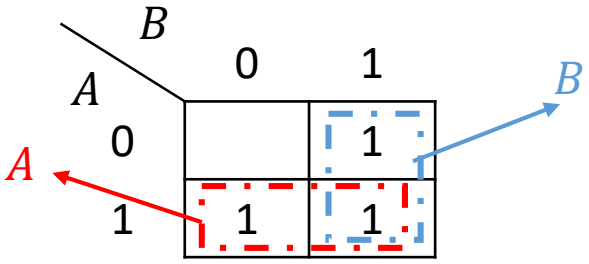
$$D_A = A\bar{B} + A\bar{M} + BP\bar{M}$$

7 AND + 3 OR =10



$$D_B = B\bar{P}\bar{M} + AM + \bar{A}P\bar{M}$$

8 AND + 3 OR =11



$$Z = A + B$$

2 OR

CI=14 x 2 + 23 = 28 + 23 = 51

Esercitazioni Conclusive

Esercizio 2 - 1 Luglio 2020

- Si progetti un full-adder, ricavando la tabella di verità, le mappe di Karnaugh e le espressioni algebriche. Utilizzare poi il full-adder come blocco elementare per progettare un sommatore a 5 bit con riporto. Applicare poi la tecnica della contrazione per progettare un circuito “incrementa di 3” per numeri a 5 bit senza riporto in uscita.

Esercitazioni Conclusive

X	Y	Z	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

X \ YZ	00	01	11	10
0		1		1
1	1		1	

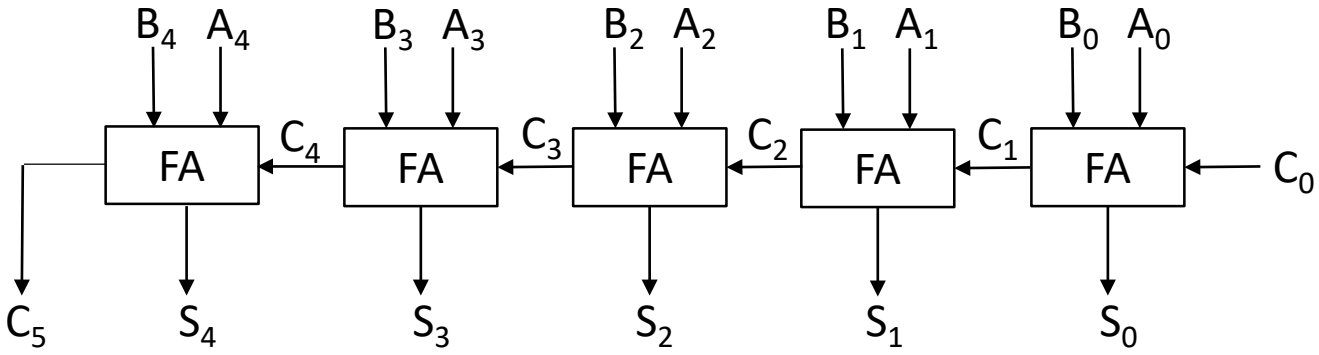
$$S = X \oplus Y \oplus Z$$

X \ YZ	00	01	11	10
0			1	
1		1	1	1

$$C = XY + XZ + YZ$$
$$= XY + Z(X\bar{Y} + \bar{X}Y)$$
$$= XY + Z(X \oplus Y)$$

Esercitazioni Conclusive

Sommatore a 5 bit con riporto



Esercitazioni Conclusive

Circuito incrementa di 3 senza riporto in uscita -> B=''00011'' C_0=0 C_5=X

- Cella 0 -> B_0=1 e C_0=0

$$S_0 = A_0 \oplus B_0 \oplus C_0 = A_0 \oplus 1 \oplus 0 = \overline{A_0}$$

$$C_1 = A_0 B_0 + A_0 C_0 + B_0 C_0 = A_0 1 + A_0 0 + 10 = A_0$$

- Cella 1 -> B_1=1

$$S_1 = A_1 \oplus B_1 \oplus C_1 = A_1 \oplus 1 \oplus C_1 = \overline{A_1} \oplus C_1 = A_1 \oplus \overline{C_1} = \overline{A_1 \oplus C_1}$$

$$C_2 = A_1 B_1 + A_1 C_1 + B_1 C_1 = A_1 1 + A_1 C_1 + 1 C_1 = A_1 + A_1 C_1 + C_1 = A_1 + C_1$$

- Cella 2 -> B_2=0

$$S_2 = A_2 \oplus B_2 \oplus C_2 = A_2 \oplus 0 \oplus C_2 = A_2 \oplus C_2$$

$$C_3 = A_2 B_2 + A_2 C_2 + B_2 C_2 = A_2 0 + A_2 C_2 + 0 C_2 = A_2 C_2$$

Esercitazioni Conclusive

Circuito incrementa di 3 senza riporto in uscita -> B=''00011'' C_0=0 C_5=X

- Cella 3 -> B_3=0

$$S_3 = A_3 \oplus B_3 \oplus C_3 = A_3 \oplus 0 \oplus C_3 = A_3 \oplus C_3$$

$$C_4 = A_3B_3 + A_3C_3 + B_3C_3 = A_3 0 + A_3C_3 + 0C_3 = A_3C_3$$

- Cella 4 -> B_4=0

$$S_4 = A_4 \oplus B_4 \oplus C_4 = A_4 \oplus 0 \oplus C_4 = A_4 \oplus C_4$$

$$C_5 = X$$

Esercitazioni Conclusive

Circuito incrementa di 3 senza riporto in uscita -> B=‘’00011’’ C_0=0 C_5=X

$S_0 = \overline{A_0}$

$C_1 = A_0$

$S_1 = \overline{A_1 \oplus C_1}$

$C_2 = A_1 + C_1$

$S_2 = A_2 \oplus C_2$

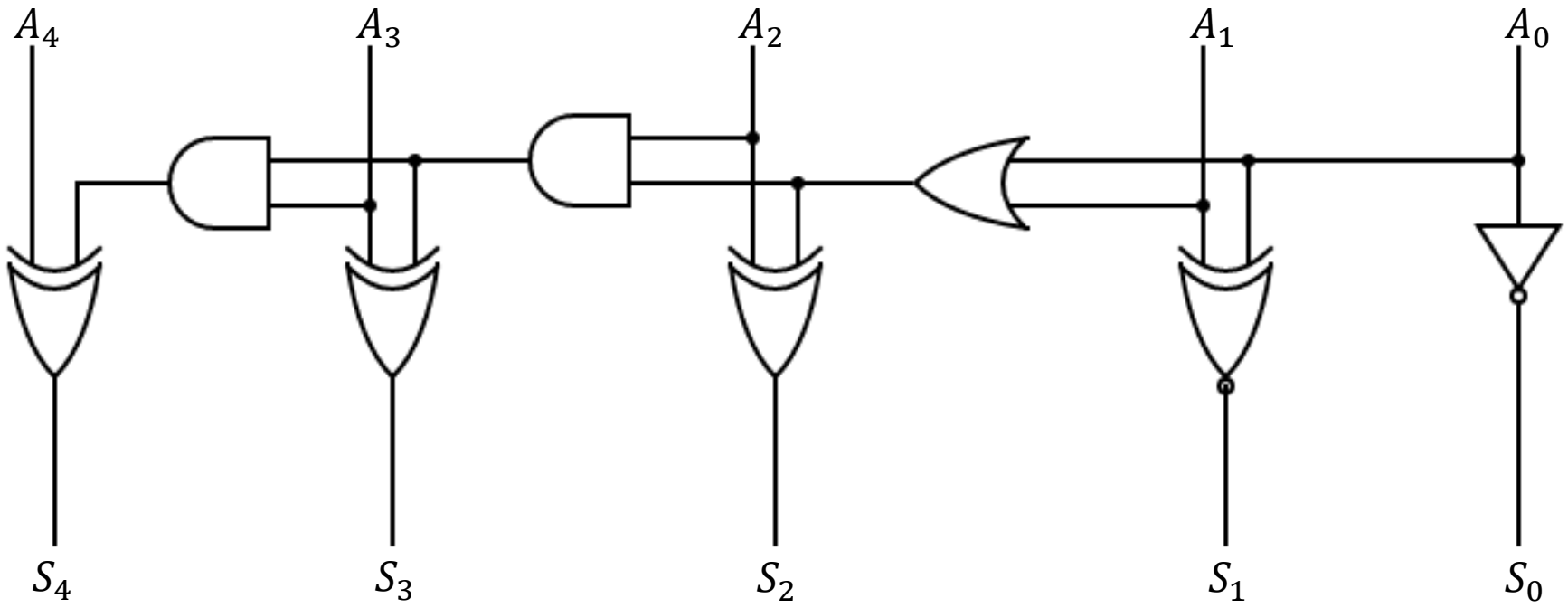
$C_3 = A_2 C_2$

$S_3 = A_3 \oplus C_3$

$C_4 = A_3 C_3$

$S_4 = A_4 \oplus C_4$

$C_5 = X$



Esercitazioni Conclusive

Esercizio 1 - 5 Febbraio 2021

- Si semplifichi la seguente espressione logica indicando chiaramente i teoremi/proprietà/identità utilizzati. Si realizzi poi la funzione ottenuta dalla semplificazione con un opportuno decodificatore.

$$\overline{\bar{A}BC + \bar{A}\bar{B}C + \bar{A}\bar{D} + \bar{B}CD + \bar{B}C + \bar{B}\bar{D}}$$

Esercitazioni Conclusive

$$\overline{\bar{A}BC + \bar{A}\bar{B}C + \bar{A}\bar{D} + \bar{B}CD + \bar{B}C + \bar{B}\bar{D}}$$

$$\overline{\bar{A}C(B + \bar{B}) + \bar{A}\bar{D} + \bar{B}C(D + 1) + \bar{B}\bar{D}}$$

Proprietà distributiva X 2

$$\overline{\bar{A}C + \bar{A}\bar{D} + \bar{B}C + \bar{B}\bar{D}}$$

Teorema sulla complementazione + identità X 3

$$\overline{\bar{A}(C + \bar{D}) + \bar{B}(C + \bar{D})}$$

Proprietà distributiva X 2

$$\overline{(\bar{A} + \bar{B})(C + \bar{D})}$$

Proprietà distributiva X 2

$$\overline{(\bar{A} + \bar{B})} + \overline{(C + \bar{D})}$$

Teorema di De Morgan

$$\bar{\bar{A}}\bar{\bar{B}} + \bar{C}\bar{\bar{D}}$$

Teorema di De Morgan x 2

Esercitazioni Conclusive

$\bar{\bar{A}}\bar{\bar{B}} + \bar{C}\bar{\bar{D}}$

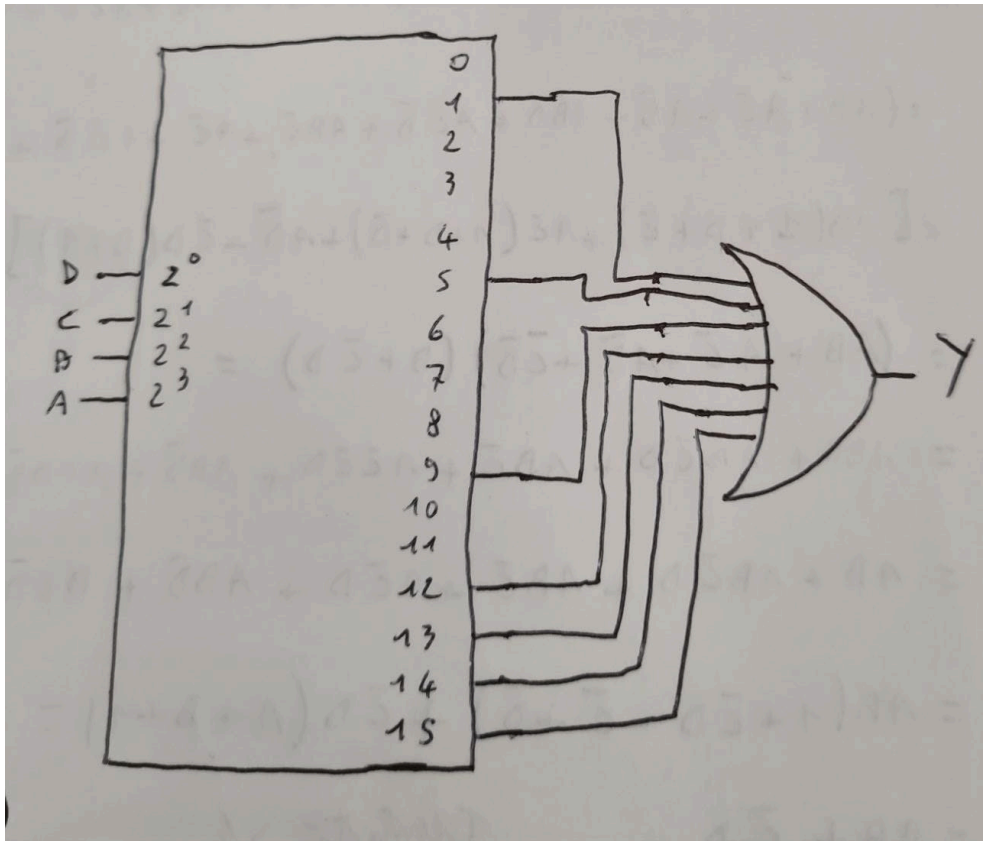
$AB + \bar{C}D$ Teorema doppia negazione X 3

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Esercitazioni Conclusive

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$$Y = \Sigma m(1,5,9,12,13,14,15)$$



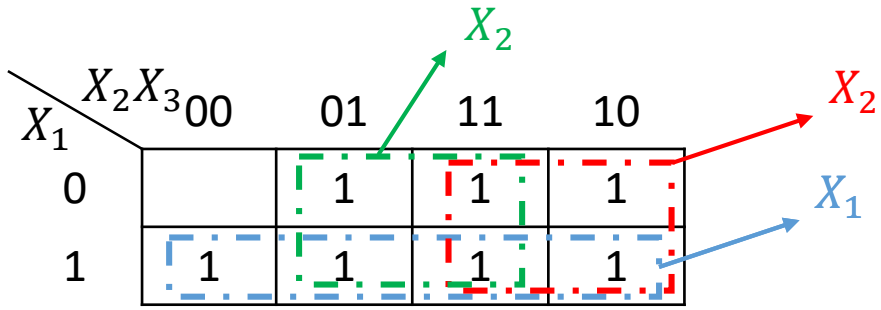
Esercitazioni Conclusive

Esercizio 1 - 15 Settembre 2021 A

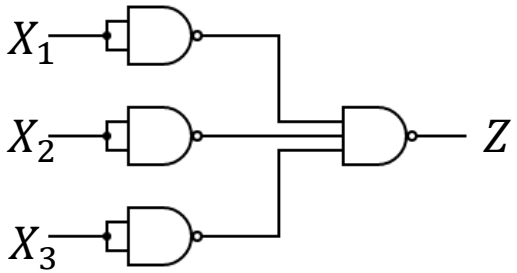
- Un sistema di illuminazione deve utilizzare un controllore logico binario per gestire un faretto che si trova all'intersezione di un corridoio a T. All'inizio di ciascuno dei 3 corridoi che costituiscono la T è ubicato un interruttore per accendere e spegnere il faretto. A ciascun interruttore è associata una variabile binaria ($X1$, $X2$, $X3$) che indica interruttore chiuso (1, quindi segnale per accendere il faretto) oppure interruttore aperto (0, quindi interruttore aperto). Determinare la funzione Z che controlla l'accensione del faretto, riportando tabella di verità, mappa di Karnaugh e calcolare il costo degli ingressi. Sarebbe più conveniente implementare la funzione con sole porte NAND o con sole porte NOR?

Esercitazioni Conclusive

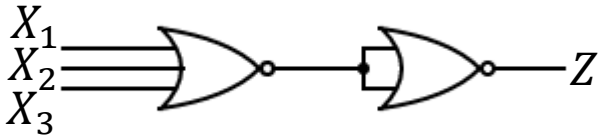
X_1	X_2	X_3	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1



$$Z = X_1 + X_2 + X_3$$



C_I=9



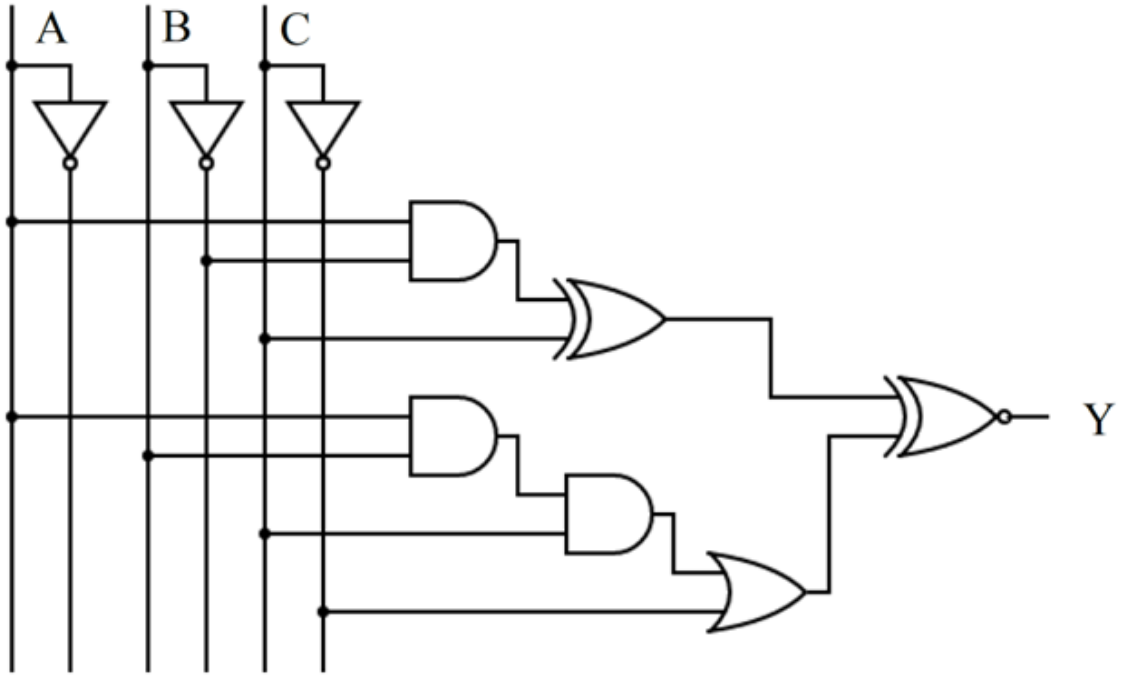
C_I=5

Esercitazioni Conclusive

Esercizio 1 - 25 Febbraio 2022

- Si calcoli il ritardo di propagazione del seguente circuito logico (considerando anche il ritardo prodotto dalle porte NOT sugli ingressi) conoscendo le caratteristiche delle porte logiche indicate in tabella (tPHL è il ritardo di propagazione per la transizione alto-basso, mentre tPLH è il ritardo di propagazione per la transizione basso-alto). Ricavare poi la tabella di verità e minimizzarla tramite mappa di Karnaugh. Considerando il costo degli ingressi, è più conveniente implementare la rete semplificata con solo porte NAND o con sole porte NOR?

Esercitazioni Conclusive



Porta	t_{PHL}	t_{PLH}
AND	0,3 ns	0,2 ns
OR	0,1 ns	0,2 ns
NOT	0,1 ns	0,1 ns
XOR	0,5 ns	0,7 ns
XNOR	0,2 ns	0,6 ns

Esercitazioni Conclusive

Porta	t_{PHL}	t_{PLH}	t_D
AND	0,3 ns	0,2 ns	0,3 ns
OR	0,1 ns	0,2 ns	0,2 ns
NOT	0,1 ns	0,1 ns	0,1 ns
XOR	0,5 ns	0,7 ns	0,7 ns
XNOR	0,2 ns	0,6 ns	0,6 ns

Percorso A -> Y

$t_{A,1} = t_{D,AND} + t_{D,XOR} + t_{D,XNOR} = 1,6$ ns

$t_{A,2} = t_{D,AND} + t_{D,AND} + t_{D,OR} + t_{D,XNOR} = 1,4$ ns

$t_A = \max(t_{A,1}, t_{A,2}) = 1,6$ ns

Percorso B -> Y

$t_{A,1} = t_{D,NOT} + t_{D,AND} + t_{D,XOR} + t_{D,XNOR} = 1,7$ ns

$t_{B,2} = t_{D,AND} + t_{D,AND} + t_{D,OR} + t_{D,XNOR} = 1,4$ ns

$t_B = \max(t_{B,1}, t_{B,2}) = 1,7$ ns

Percorso C -> Y

$t_{C,1} = t_{D,XOR} + t_{D,XNOR} = 1,3$ ns

$t_{C,2} = t_{D,AND} + t_{D,OR} + t_{D,XNOR} = 1,1$ ns

$t_{C,3} = t_{D,NOT} + t_{D,OR} + t_{D,XNOR} = 0,9$ ns

$t_C = \max(t_{C,1}, t_{C,2}, t_{C,3}) = 1,3$ ns

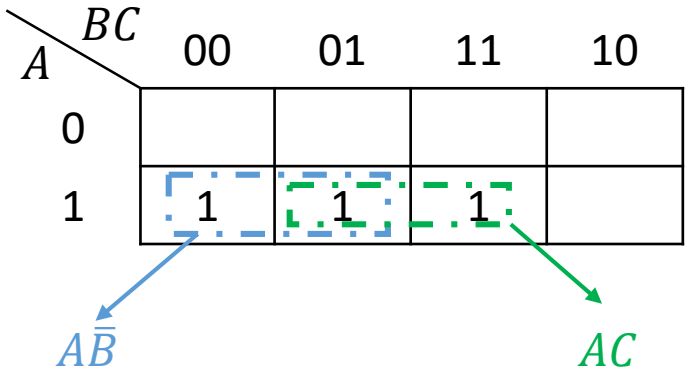
Ritardo di propagazione

$t_D = \max(t_A, t_B, t_C) = 1,7$ ns

Esercitazioni Conclusive

$$Y = \overline{(A\bar{B})\oplus C \oplus (ABC + \bar{C})}$$

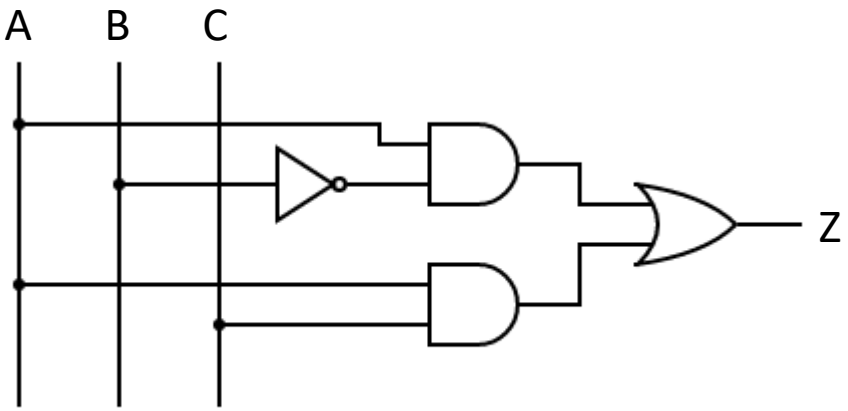
A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

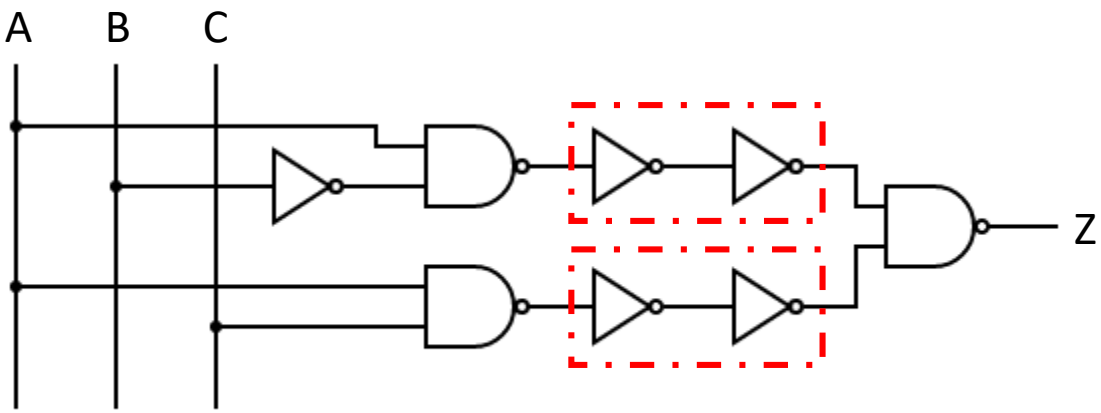


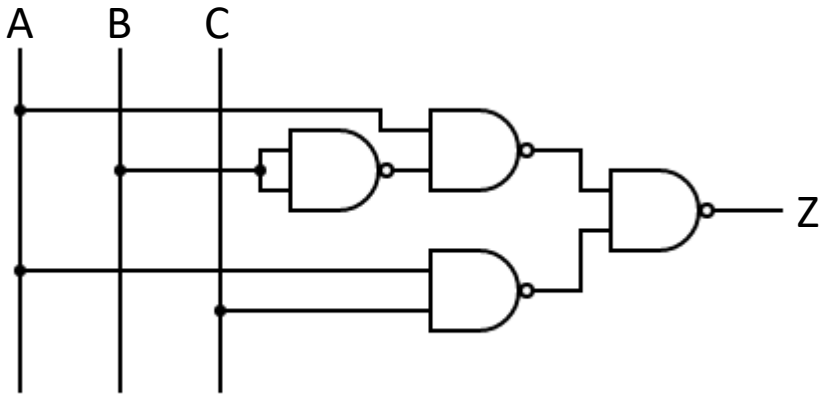
$$Z = A\bar{B} + AC$$

Esercitazioni Conclusive

$Z = A\bar{B} + AC$



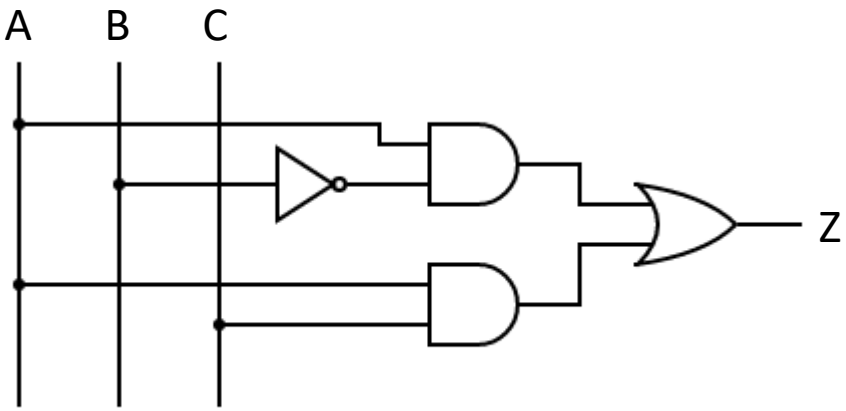


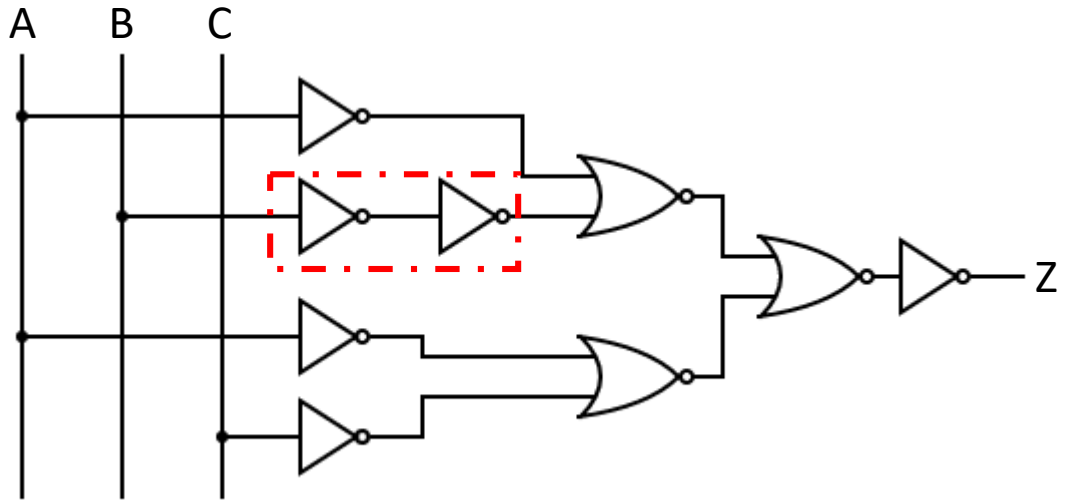


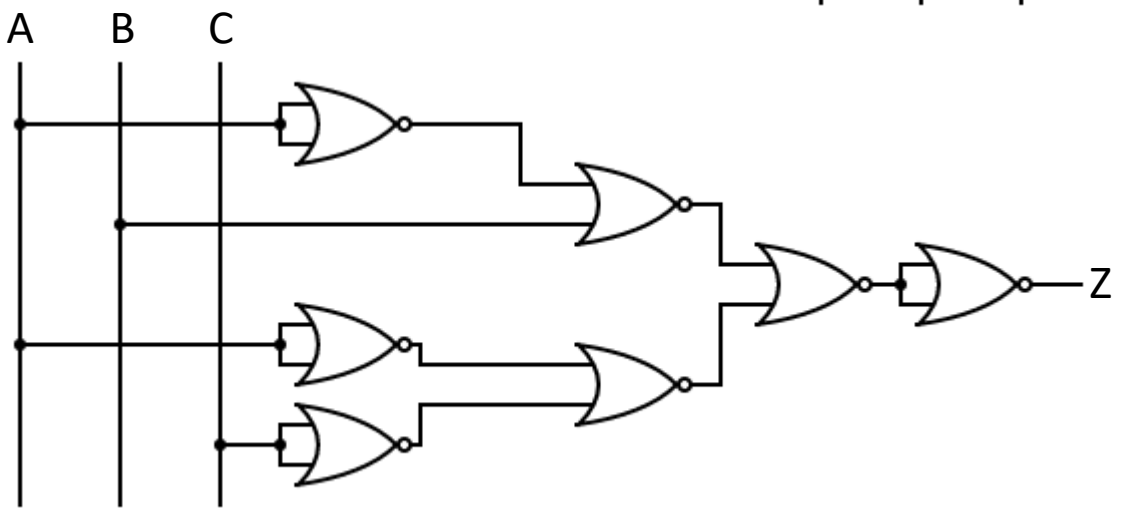
C_I=8

Esercitazioni Conclusive

$Z = A\bar{B} + AC$







C_I=14

Esercitazioni Conclusive

Esercizio 2 - 31 Marzo 2022

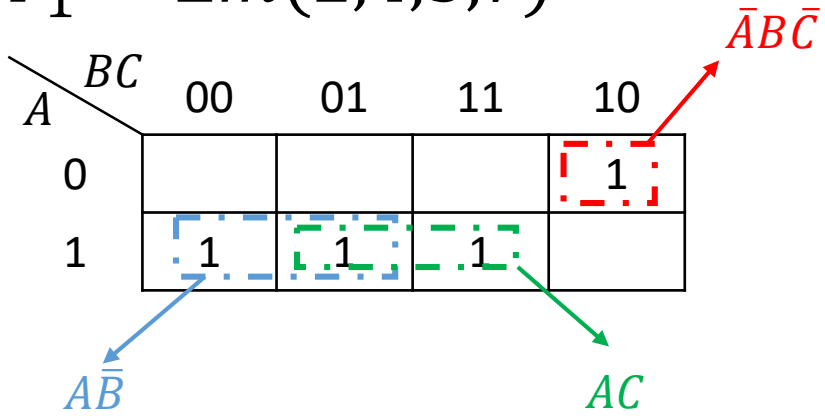
- Si descrivano le strutture dei dispositivi PAL e PLA, evidenziandone le differenze. Implementare poi, con un opportuno PLA, le seguenti funzioni logiche:

$$F_1 = \Sigma m(2,4,5,7)$$

$$F_2 = \Sigma m(3,5,7)$$

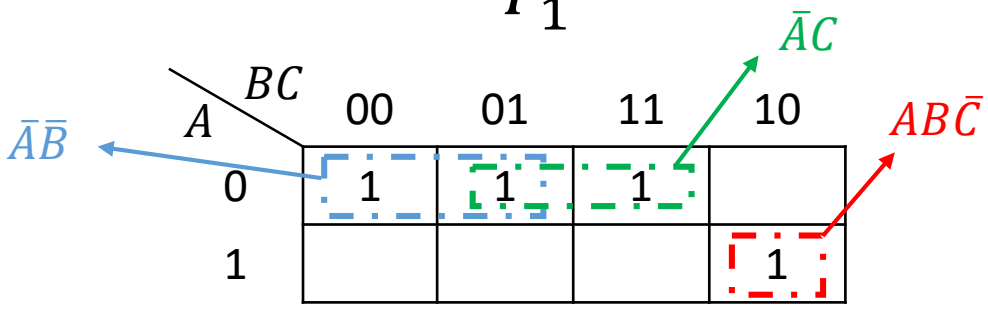
Esercitazioni Conclusive

$F_1 = \Sigma m(2,4,5,7)$



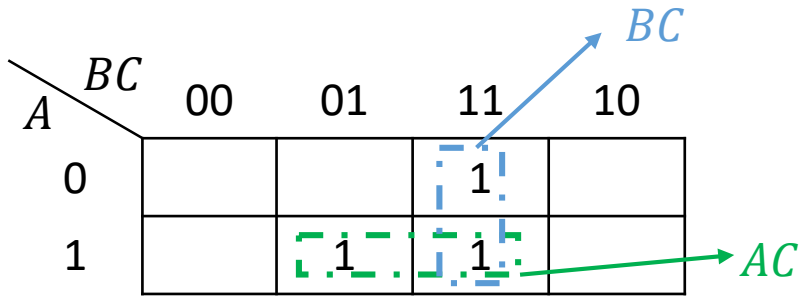
$F_1 = A\bar{B} + AC + \bar{A}B\bar{C}$

$\overline{F_1}$

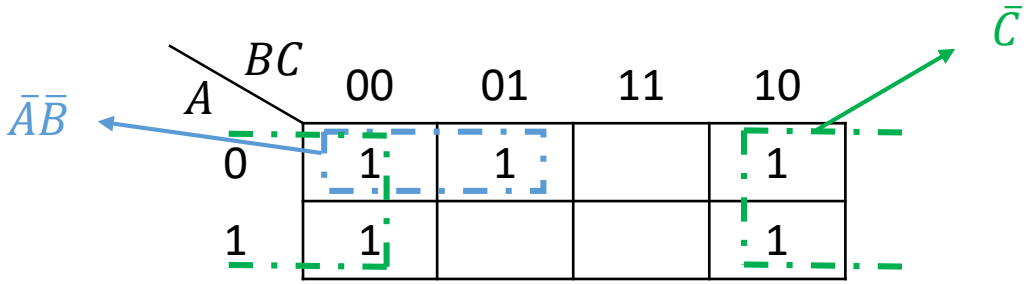


$\overline{F_1} = \bar{A}\bar{B} + \bar{A}C + AB\bar{C}$

$F_2 = \Sigma m(3,5,7)$



$F_2 = AC + BC$



$\overline{F_2} = \bar{C} + \bar{A}\,\bar{B}$

Esercitazioni Conclusive

$F_1 = A\bar{B} + AC + \bar{A}B\bar{C}$

$\bar{F_1} = \bar{A}\bar{B} + \bar{A}C + AB\bar{C}$

$F_2 = AC + BC$

$\overline{F_2} = \bar{C} + \bar{A}\,\bar{B}$

F_1 e F_2→ condividono 1 termine prodotto (AC)

F_1 e $\overline{F_2}$→ non condividono nulla

$\bar{F_1}$ e F_2 → non condividono nulla

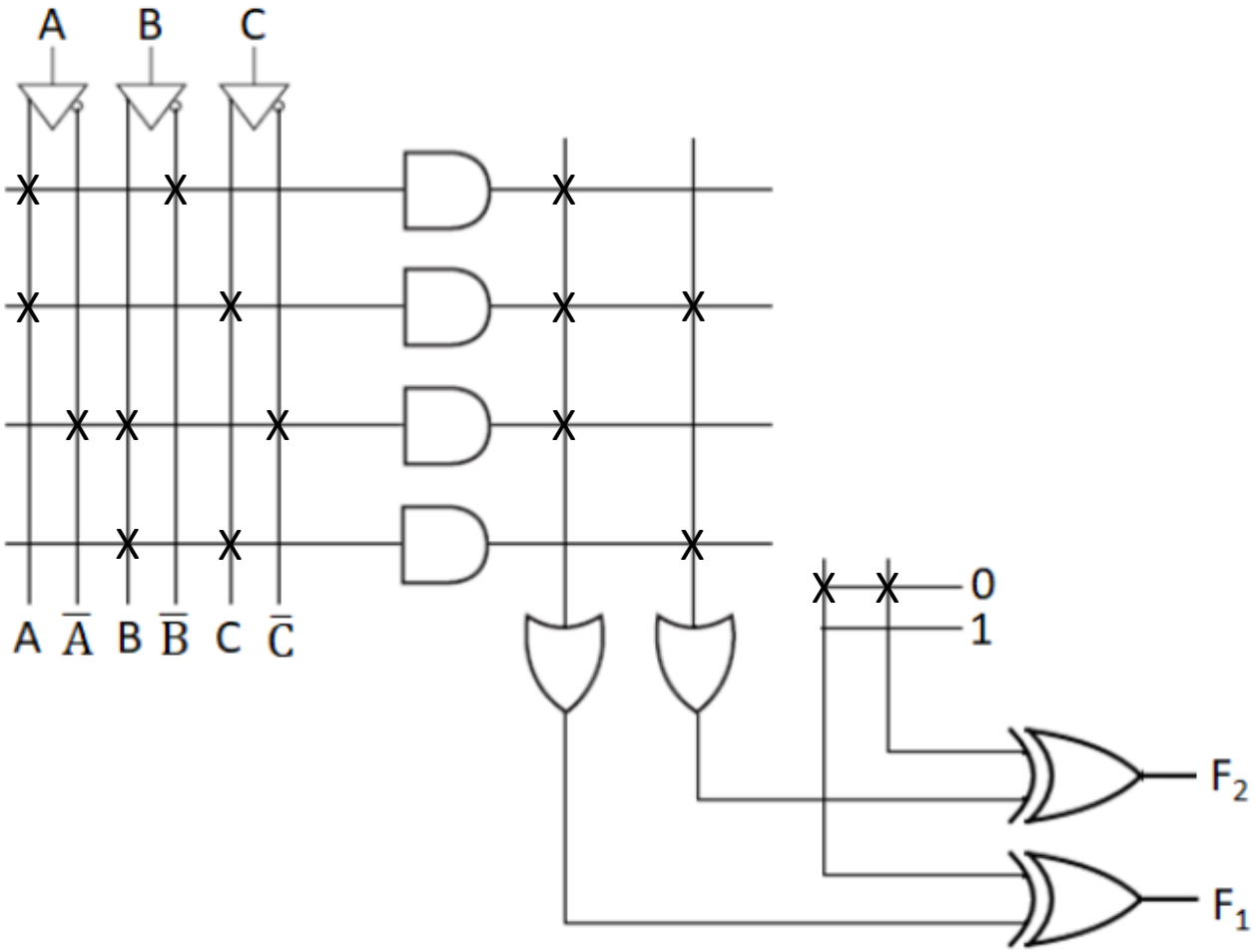
$\bar{F_1}$ e $\overline{F_2}$→ condividono 1 termine prodotto ($\bar{A}\,\bar{B}$)

Si può implementare la coppie F_1 e F_2 oppure la coppia $\bar{F_1}$ e $\overline{F_2}$

Esercitazioni Conclusive

$F_1 = A\bar{B} + AC + \bar{A}B\bar{C}$

$F_2 = AC + BC$



Esercitazioni Conclusive

Esercizio 3 - 30 Luglio 2021

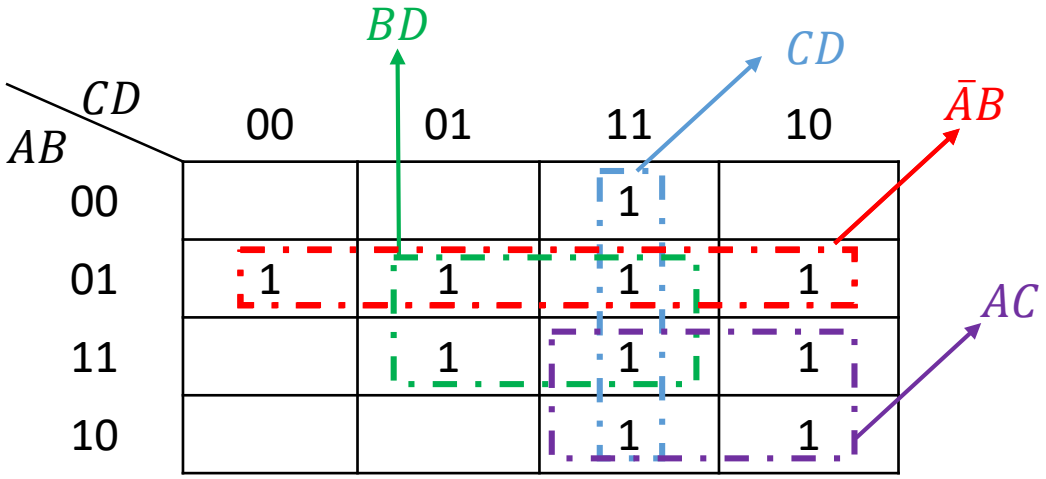
- Si descrivano struttura e caratteristiche dei dispositivi PAL e PLA, evidenziandone le differenze. Si realizzino poi le seguenti equazioni booleane utilizzando un opportuno PLA. Se invece le funzioni dovessero essere implementate in un PAL, che requisiti dovrebbe avere questo dispositivo?

$$F = \bar{A}B + CD + AB\bar{C}D + A\bar{B}C + ABC\overline{D}$$

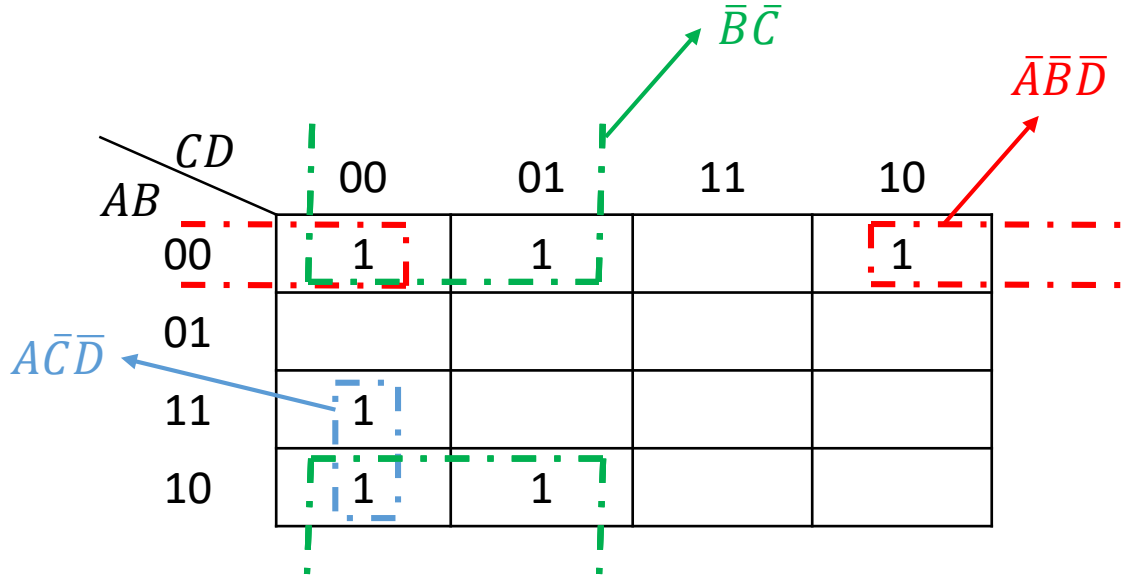
$$G = \bar{A}B + B\bar{C}D + BC\overline{D} + A\bar{B}C$$

Esercitazioni Conclusive

$$F = \bar{A}B + CD + AB\bar{C}D + A\bar{B}C + ABC\bar{D}$$



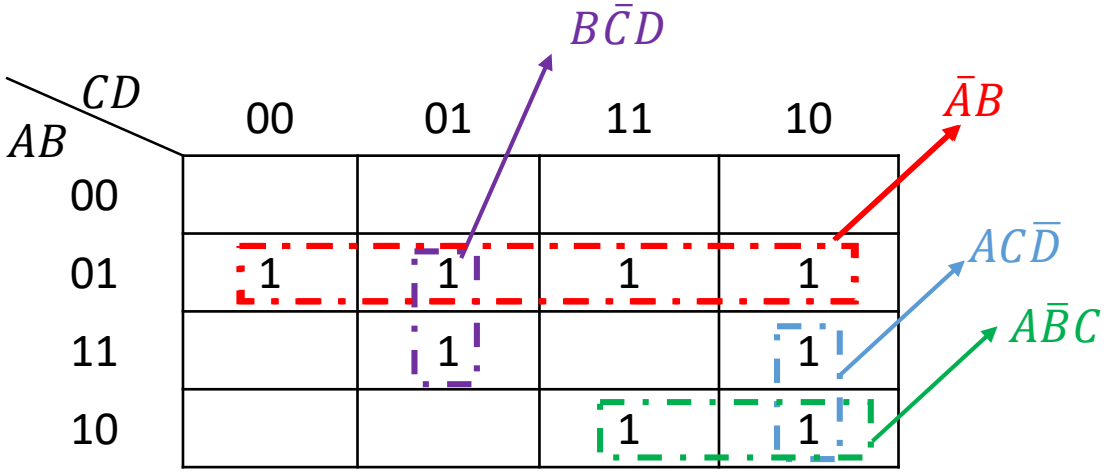
$$F = \bar{A}B + CD + AC + BD$$



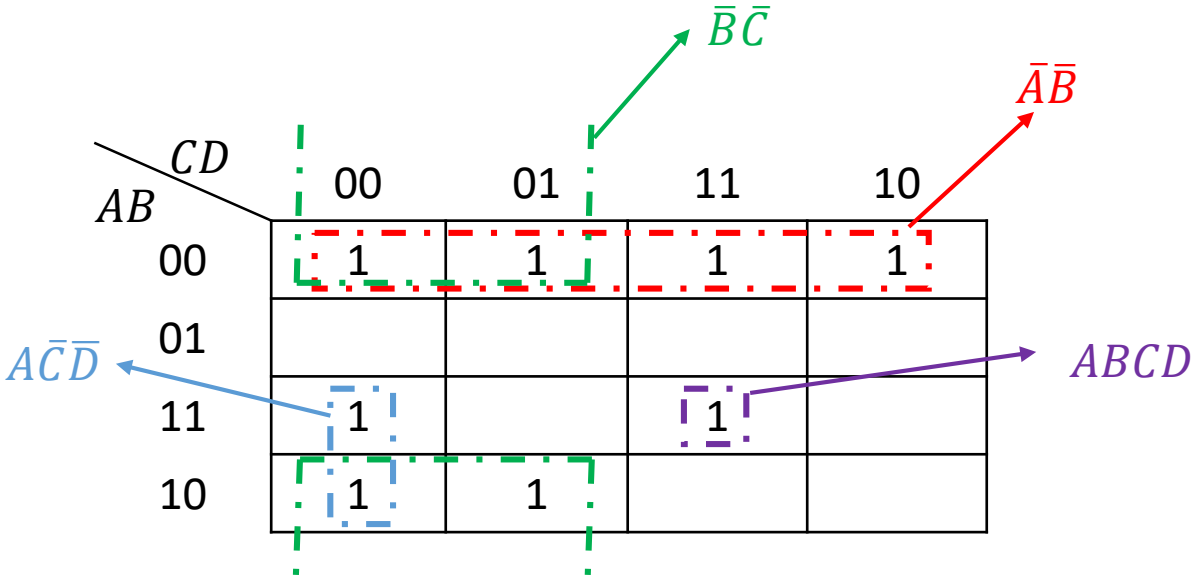
$$\bar{F} = \bar{B}\bar{C} + \bar{A}\bar{B}\bar{D} + A\bar{C}\bar{D}$$

Esercitazioni Conclusive

$$G = \bar{A}B + B\bar{C}D + BC\bar{D} + A\bar{B}C$$



$$G = \bar{A}B + AC\bar{D} + A\bar{B}C + B\bar{C}D$$



$$\bar{G} = \bar{B}\bar{C} + \bar{A}\bar{B} + A\bar{C}\bar{D} + ABCD$$

Esercitazioni Conclusive

$F = \bar{A}B + CD + AC + BD$

$\bar{F} = \bar{B}\bar{C} + \bar{A}\bar{B}\bar{D} + A\bar{C}\bar{D}$

$G = \bar{A}B + AC\bar{D} + A\bar{B}C + B\bar{C}D$

$\bar{G} = \bar{B}\bar{C} + \bar{A}\bar{B} + A\bar{C}\bar{D} + ABCD$

F e G → condividono 1 termine prodotto ($\bar{A}B$)

F e $\bar{G}$ → non condividono nulla

$\bar{F}$ e G → non condividono nulla

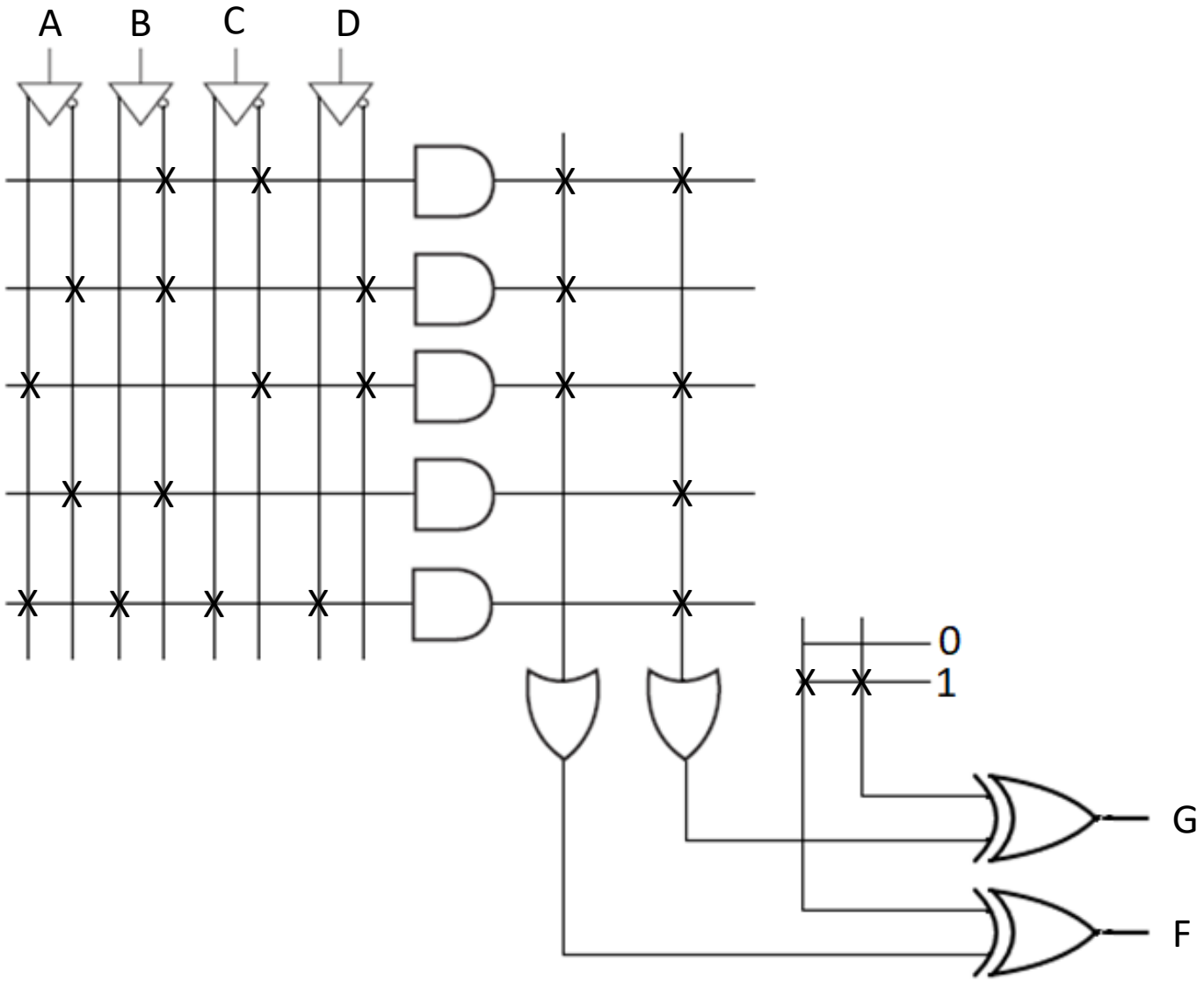
$\bar{F}$ e $\bar{G}$ → condividono 2 termini prodotto ($\bar{B}\bar{C}$ e $A\bar{C}\bar{D}$)

Si implementa la coppia $\bar{F}$ e $\bar{G}$

Esercitazioni Conclusive

$\bar{F} = \bar{B}\bar{C} + \bar{A}\bar{B}\bar{D} + A\bar{C}\bar{D}$

$\bar{G} = \bar{B}\bar{C} + \bar{A}\bar{B} + A\bar{C}\bar{D} + ABCD$



Esercitazioni Conclusive

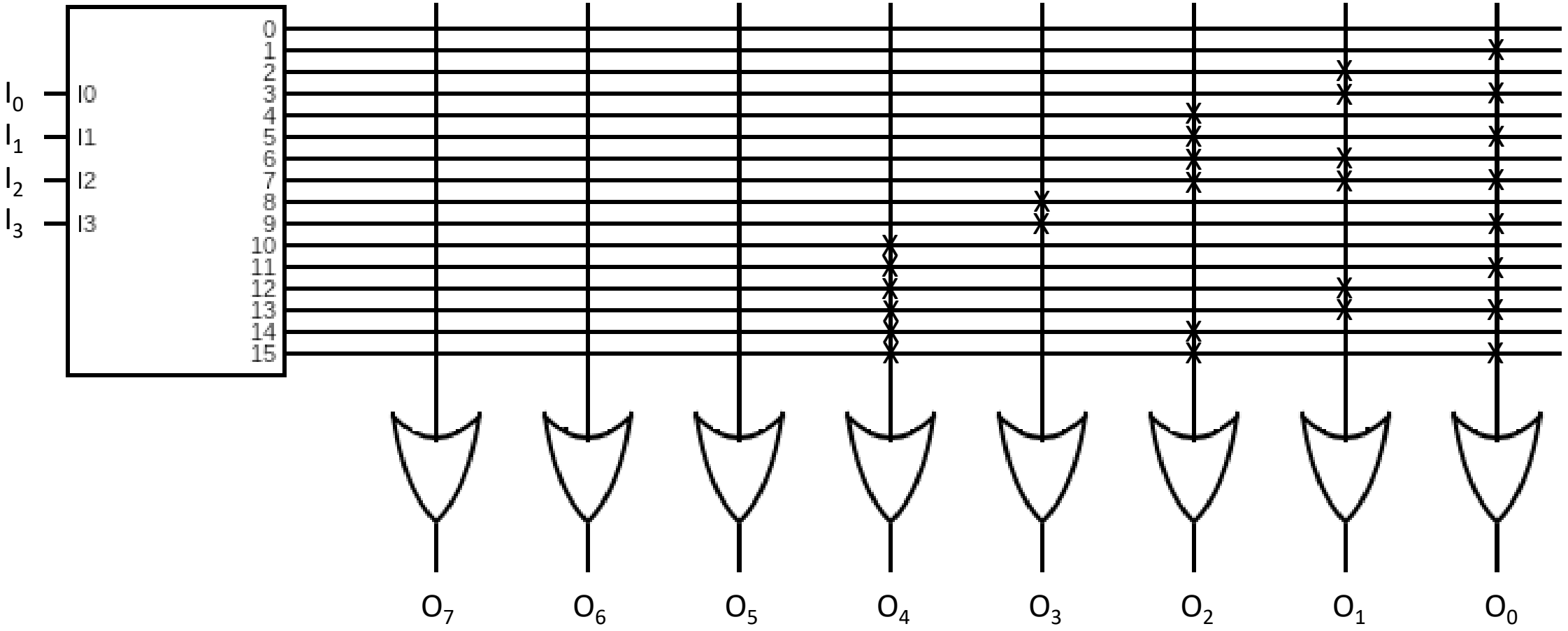
Esercizio 3 - 3 Novembre 2021 B

- Si descriva la generica struttura di una memoria ROM. Progettare poi un'opportuna memoria ROM che converta un numero binario su 4 bit in un numero BCD a due cifre.

Esercitazioni Conclusive

I_3	I_2	I_1	I_0	O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	1	0
0	0	1	1	0	0	0	0	0	0	1	1
0	1	0	0	0	0	0	0	0	1	0	0
0	1	0	1	0	0	0	0	0	1	0	1
0	1	1	0	0	0	0	0	0	1	1	0
0	1	1	1	0	0	0	0	0	1	1	1
1	0	0	0	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0	1	0	0	1
1	0	1	0	0	0	0	1	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	1
1	1	0	0	0	0	0	1	0	0	1	0
1	1	0	1	0	0	0	1	0	0	1	1
1	1	1	0	0	0	0	1	0	1	0	0
1	1	1	1	0	0	0	1	0	1	0	1

Esercitazioni Conclusive

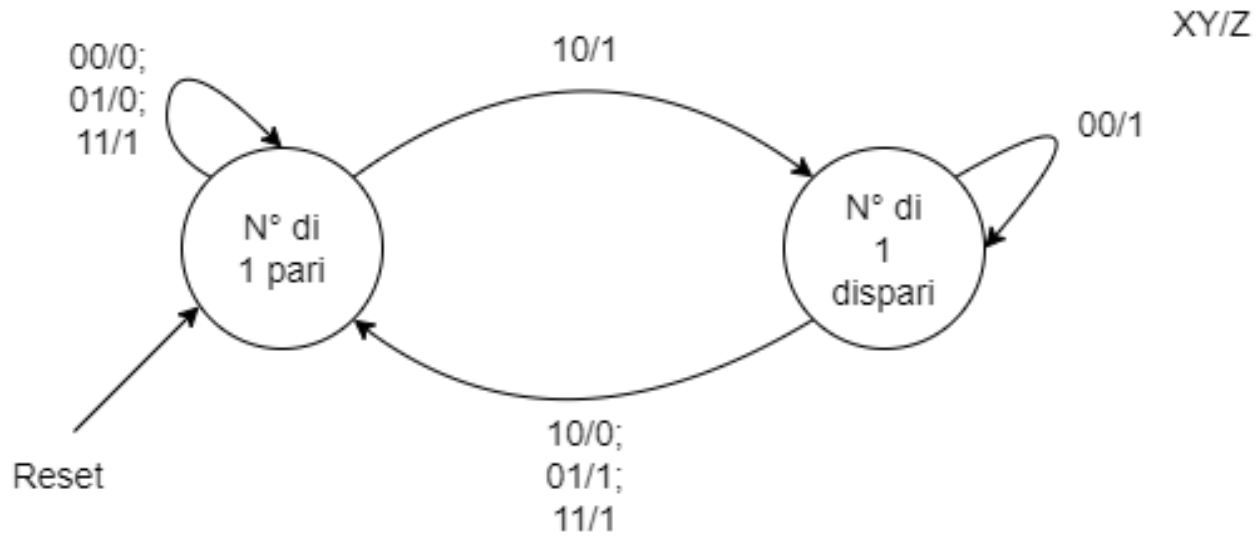


Esercitazioni Conclusive

Esercizio 5 - 31 Agosto 2021 B

- Progettare un generatore di parità pari seriale. All'ingresso X del circuito viene fornita una sequenza binaria di lunghezza arbitraria. Quando un bit si presenta all'ingresso X, il corrispondente bit di parità pari per la sequenza binaria deve apparire immediatamente all'uscita Z. Per indicare che la sequenza è completa e che il circuito deve essere reinizializzato per riceve un'altra sequenza, un altro ingresso Y diventa 1, mentre in tutti gli altri casi Y=0. Costruire il diagramma di stato con il formalismo di Mealy, la tabella di stato e realizzare il circuito adottando la codifica one-hot. Calcolare il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.

Esercitazioni Conclusive



N° di 1 pari = A

N° di 1 dispari = B

Stato Presente	Stato Futuro				Uscita			
	XY=00	XY=01	XY=10	XY=11	XY=00	XY=01	XY=10	XY=11
A	A	A	B	A	0	0	1	1
B	B	A	A	A	1	1	0	0

Esercitazioni Conclusive

Stato Presente	Stato Futuro				Uscita			
	XY=00	XY=01	XY=10	XY=11	XY=00	XY=01	XY=10	XY=11
A	A	A	B	A	0	0	1	1
B	B	A	A	A	1	1	0	0

Codifica One-hot A -> 01 B -> 10

$D_A = A\bar{X}\bar{Y} + (A+B)\bar{X}Y + B X\bar{Y} + (A+B)XY = A\bar{X}\bar{Y} + \bar{X}Y + B X\bar{Y} + XY$ 10 AND + 4 OR = 14

$D_B = B\bar{X}\bar{Y} + AX\bar{Y}$ 6 AND + 2 OR = 8

$Z = B\bar{X}\bar{Y} + B\bar{X}Y + BX\bar{Y} + AXY$ 12 AND + 4 OR = 16

CI = 14 x 2 + 38 = 66