

Prova d'esame di
 RETI LOGICHE (Prof. E. Torti)
 Lauree in Ing. Elettronica e Informatica DM 270
 1 luglio 2020

CANDIDATO:

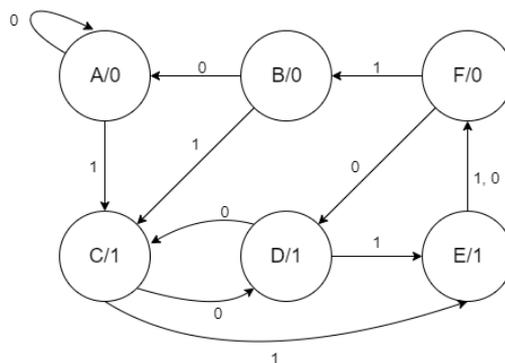
n. matricola:

- 1) Si semplifichino le seguenti espressioni booleane in modo da usare il numero minimo di letterali. Indicare chiaramente tutti i passaggi e le proprietà, teoremi e/o identità utilizzate.

$$F = \bar{W}X(\bar{Z} + \bar{Y}Z) + X(W + \bar{W}YZ)$$

$$K = \overline{A + \bar{A}B + \bar{A}\bar{B}} + \overline{A + \bar{B}}$$

- 2) Si progetti un full-adder, ricavando la tabella di verità, le mappe di Karnaugh e le espressioni algebriche. Utilizzare poi il full-adder come blocco elementare per progettare un sommatore a 5 bit con riporto. Applicare poi la tecnica della contrazione per progettare un circuito “incrementa di 3” per numeri a 5 bit senza riporto in uscita.
- 3) Si descrivano i parametri fan-in e fan-out. Si spieghi poi quali tecniche si possono utilizzare per superare il limite posto dal fan-out di una porta logica.
- 4) Si consideri un registro a caricamento parallelo. Si discuta la tecnica di gating del clock, descrivendo come viene implementata e quali problematiche comporta. Si descriva poi nel dettaglio una soluzione alternativa a tale tecnica.
- 5) Si progetti poi un contatore binario sincrono modulo 14 con segnale di ENABLE attivo alto, utilizzando solo flip-flop JK. Si indichi poi il costo degli ingressi, assumendo che ogni flip-flop abbia un costo pari a 14 (non è necessario disegnare il diagramma logico e il diagramma di stato del circuito).
- 6) Si consideri il seguente diagramma di stato. Eliminare, se presenti, gli eventuali stati equivalenti. Ricavare poi la tabella di stato ed assegnare codici agli stati secondo la codifica Gray. Ricavare il circuito logico utilizzando solo porte logiche AND, OR e NOT e flip-flop D. Si indichi poi come sia possibile sostituire i flip-flop di tipo D con flip-flop JK senza apportare modifiche alle rete combinatoria che genera gli ingressi ai flip-flop.



- 7) Si consideri il seguente codice VHDL che descrive un positive edge triggered flip-flop di tipo D. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE per un segnale di abilitazione attivo alto ed una porta di uscita complementata rispetto all'uscita Q. Cosa si dovrebbe cambiare per passare da positive edge triggered flip-flop a negative edge triggered flip-flop?

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity dff is
4:     port(
5:         D,clk,reset : in std_logic;
6:         Q : out std_logic
7:     );

7: end dff;

8: architecture arch of dff is
9:     begin
10:         process (clk,reset)
11:             begin
12:                 if (reset = '1') then
13:                     Q <= '0';
14:                 else if(rising_edge(clk)) then
15:                     Q <= D;
16:                 end if;
17:             end if;
18:         end process;
19: end arch;
```