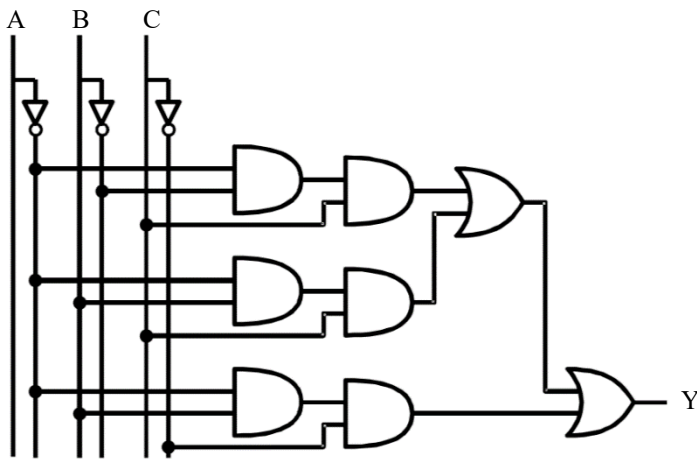


Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
 Lauree in Ing. Elettronica e Informatica DM 270
 27 luglio 2020

CANDIDATO:

n. matricola:

- 1) Si determini il ritardo di propagazione del seguente circuito logico (considerando anche il ritardo prodotto dalle NOT sugli ingressi), conoscendo le caratteristiche delle porte logiche indicate in tabella (t_{PHL} è il ritardo di propagazione per la transizione alto-basso, mentre t_{PLH} è il ritardo di propagazione per la transizione basso-alto). Si ricavi poi la tabella di verità del circuito e si esprima la funzione logica in termini di somma di mintermini. Proporre poi una implementazione circuitale della funzione espressa come SOP che utilizzi solo porte NAND. Semplificare poi la funzione espressa come SOP in modo da ottenere il numero minimo di letterali, indicando i teoremi, proprietà ed identità utilizzati.



Porta	t_{PHL}	t_{PLH}
AND	0,2 ns	0,3 ns
OR	0,2 ns	0,1 ns
NOT	0,1 ns	0,1 ns

- 2) Si descrivano struttura e caratteristiche di una memoria ROM. Data una ROM 128 X 4 con ingresso di abilitazione, si progetti una memoria ROM 512 X 8 utilizzando un numero opportuno di chip ed un decodificatore.
- 3) Si descriva la tecnica del controllo di parità. Considerando un messaggio su 3 bit, come andrebbero progettati il generatore ed il controllore di parità in caso di parità pari?
- 4) Si descrivano e confrontino le caratteristiche delle tecniche di gating seriale e gating parallelo utilizzante nel progetto di contatori binari sincroni.
- 5) Si progetti un circuito in grado di riconoscere la sequenza 0101 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z. L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 010 e l'ingresso corrente vale 1. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale. Si utilizzi la codifica Gray per assegnare codici agli stati e si utilizzino solo flip-flop di tipo D. Quanto vale il costo degli ingressi del circuito, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)?

Esempio di sequenza da riconoscere: X: 0 0 0 0 1 0 1 0 1 1 1 0
 uscita Z: 0 0 0 0 0 0 1 0 1 0 0 0

- 6) Si progetti un contatore binario sincrono a 3 bit con ENABLE attivo alto che segue la sequenza di stati arbitraria 0-3-7-2-5 utilizzando solo flip-flop di tipo D (non è necessario disegnare il circuito logico). Considerare gli stati non utilizzati come condizioni di non specificazione. Ricavare poi il diagramma di stato, indicando cosa accadrebbe al circuito qualora si presentassero in uscita le combinazioni considerate come condizioni di non specificazione.
- 7) Si consideri il seguente codice VHDL che descrive un sommatore binario per numeri rappresentati in complemento a 2 su 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE per un segnale di abilitazione attivo basso (se questo segnale vale 0, l'uscita del circuito sarà data dalla somma dei due addendi, altrimenti l'uscita deve essere pari a 00000). Si indichi come andrebbe aggiunta una porta OVF che indichi il verificarsi dell'overflow nella somma. Si discuta infine come modificare gli statement per passare dalla rappresentazione in complemento a 2 alla rappresentazione in valore assoluto.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity adder is
5:     port(
6:         A,B : in std_logic_vector (4 downto 0);
7:         S   : out std_logic_vector (4 downto 0)
8:     );

8: end adder;

8: architecture arch of adder is
9:     signal result : signed (4 downto 0);
10:    begin
11:        res <= signed(A)+signed(B);
12:        S <= std_logic_vector(res(4 downto 0));
13:    end;
14: end arch;
```