

Prova d'esame di  
**RETI LOGICHE (Prof. E. Torti)**  
 Lauree in Ing. Elettronica e Informatica DM 270  
 7 settembre 2020

CANDIDATO:

n. matricola:

- 1) Si progetti un multiplexer 4-1 indicando tabella di verità in forma densa, equazione booleana e diagramma logico del circuito. Quale multiplexer serve per implementare in modo efficiente una funzione booleana ad n variabili? Implementare in modo efficiente, utilizzando un opportuno multiplexer, la seguente funzione:

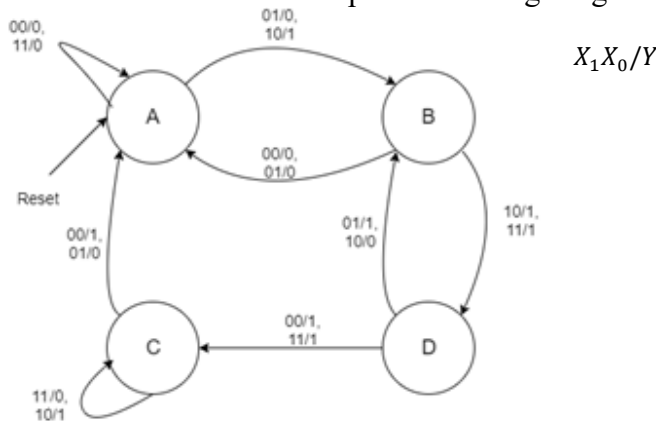
$$F = \overline{X} + \overline{Z} + XYZ$$

- 2) Si descrivano le caratteristiche ed il funzionamento di un buffer a tre stati. Descrivere poi come sia possibile utilizzare questi dispositivi per la costruzione di una porta di ingresso bidirezionale.
- 3) Si descriva la struttura di un dispositivo Programmable Logic Array (PLA). Realizzare poi le seguenti funzioni booleane utilizzando un opportuno dispositivo PLA:

$$F_1(A, B, C) = \Sigma m(3,5,6,7)$$

$$F_2(A, B, C) = \Sigma m(1,2,6,7)$$

- 4) Si consideri il seguente diagramma di stato. Indicare se si tratta di un circuito di tipo Mealy o di tipo Moore, motivando la risposta. Ricavare la tabella di stato ed assegnare agli stati un codice binario secondo la codifica one-hot. Implementare poi il circuito utilizzando solo flip-flop di tipo D (non è necessario disegnare tutto il circuito, ma bisogna indicare come collegare il reset ai flip-flop). Calcolare il costo degli ingressi assumendo che il costo di un singolo flip flop sia pari a 14 e non considerando il costo delle porte NOT sugli ingressi.



- 5) Si descrivano il funzionamento e la struttura (si consiglia di disegnare il circuito logico) di un registro a scorrimento bidirezionale con possibilità di caricamento parallelo dei dati.
- 6) Progettare un contatore binario all'indietro a 4 bit modulo 11 utilizzando solo flip flop JK. Si considerino le combinazioni non utilizzate come stati di non specificazione. Disegnare il diagramma degli stati, indicando cosa accadrebbe qualora si presentassero in uscita le combinazioni considerate come condizioni di non specificazione. Come andrebbero modificate le equazioni di ingresso ai flip-flop per includere un segnale di abilitazione attivo basso?

- 7) Si consideri il seguente codice VHDL che descrive un contatore in avanti a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di SET per un segnale di inizializzazione al valore "11111" del conteggio. Questo segnale dovrà avere priorità rispetto al segnale di RESET (se alla porta SET e alla porta RESET è applicata la combinazione SET=1 e RESET=1 allora il conteggio andrà inizializzato a "11111"). Indicare come dovrebbe essere modificato il codice per avere un contatore modulo 14. Infine indicare come andrebbe aggiunta una porta di output CO che indichi il raggiungimento della massima dinamica di conteggio.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity cnt5 is
    port(
        clk, reset, en : in std_logic;
        Q : out std_logic_vector(4 downto 0)
    );
end cnt5;

architecture arch of cnt5 is
    signal count : unsigned(4 downto 0);
begin
    process(clk,reset)
    begin
        if(reset='1') then
            count <= "00000";
        elsif(rising_edge(clk) and (en='1')) then
            count <= count + "00001";
        end if;
    end process;
    Q <= std_logic_vector(count(4 downto 0));
end arch;
```