

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
21 settembre 2020

CANDIDATO:

n. matricola:

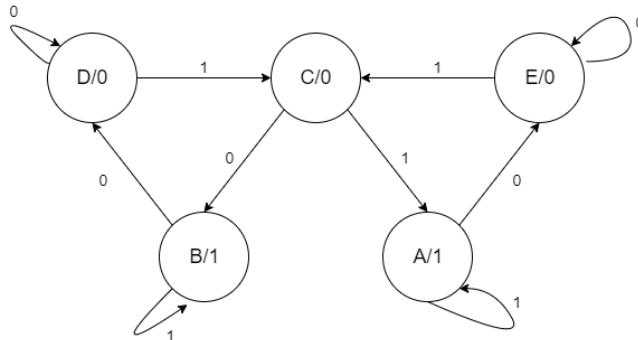
- 1) Si semplifichi la seguente espressione logica indicando chiaramente i teoremi/proprietà/identità utilizzati. Proporre poi due diverse implementazioni circuitali della funzione logica semplificata, utilizzando nel primo caso solo porte NOT e porte NAND e nel secondo caso solo porte NOT e porte NOR. Considerando il criterio di costo degli ingressi (in cui viene considerato anche il costo della porta NOT), quale di queste due implementazioni ha costo minore?

$$F = [(\overline{XY})WZ]W + W(\overline{XY}) + (\overline{W + Y\overline{W}}) + \overline{X}W$$

- 2) Si spieghi a cosa serve una look-up table (LUT). Descrivere la struttura di una generica LUT a 2 ingressi. Si progetti poi una LUT a 4 ingressi utilizzando solamente LUT a 2 ingressi e multiplexer 2-1. Con la LUT progettata realizzare poi la funzione:

$$F = AB + C + \overline{C}D$$

- 3) Si descrivano il funzionamento e le caratteristiche di un encoder. Si progetti poi un encoder con 4 ingressi e priorità all'ingresso con peso maggiore (indicare la tabella di verità e le mappe di Karnaugh). Il circuito deve prevedere anche un'uscita V che indichi quando almeno uno degli ingressi è posto a valore logico alto.
- 4) Si consideri il seguente diagramma di stato. Indicare se si tratta di un circuito di tipo Mealy o di tipo Moore, motivando la risposta. Eliminare eventuali stati equivalenti e ricavare la tabella di stato ed assegnare agli stati un codice binario secondo la codifica one-hot. Implementare poi il circuito utilizzando solo flip-flop di tipo D (non è necessario disegnare tutto il circuito, ma bisogna indicare come collegare il reset ai flip-flop). Calcolare il costo degli ingressi assumendo che il costo di un singolo flip flop sia pari a 14 e non considerando il costo delle porte NOT sugli ingressi.



- 5) Si descrivano il funzionamento e la struttura di un generico registro ad n bit, descrivendo in modo preciso come avviene il caricamento parallelo dei dati.
- 6) Progettare un contatore binario a 4 bit modulo 11 utilizzando solo flip flop JK. Si considerino le combinazioni non utilizzate come stati di non specificazione. Disegnare il diagramma degli stati, indicando cosa accadrebbe qualora si presentassero in uscita le combinazioni considerate

come condizioni di non specificazione. Come andrebbero modificate le equazioni di ingresso ai flip-flop per includere un segnale di abilitazione attivo basso?

- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di SET per un segnale di inizializzazione al valore "11111" del contenuto del registro. Questo segnale dovrà essere attivo basso ed avere priorità rispetto al segnale di RESET. Indicare come dovrebbe essere modificato il codice per effettuare lo shift a destra anziché a sinistra. Infine indicare come andrebbe aggiunta una porta di output M che assume valore logico alto se e solo se il contenuto del registro è un multiplo intero di 4.

```
1:library ieee;
2:use ieee.std_logic_1164.all;

3:entity sr5 is
4:    port(
5:        clk, reset, si : in std_logic;
6:        Q : out std_logic_vector(4 downto 0);
7:        so : out std_logic
8:    );

9:end sr5;

10:architecture arch of sr5 is
11:    signal shift : std_logic_vector(4 downto 0);
12:    begin
13:        process(clk,reset)
14:            begin
15:                if(reset='1') then
16:                    shift <= "00000";
17:                elsif(rising_edge(clk)) then
18:                    shift <= shift(3 downto 0) & si;
19:                end if;
20:            end process;
21:            Q <= shift;
22:            so <= shift(4);
23:end arch;
```