

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
5 febbraio 2021

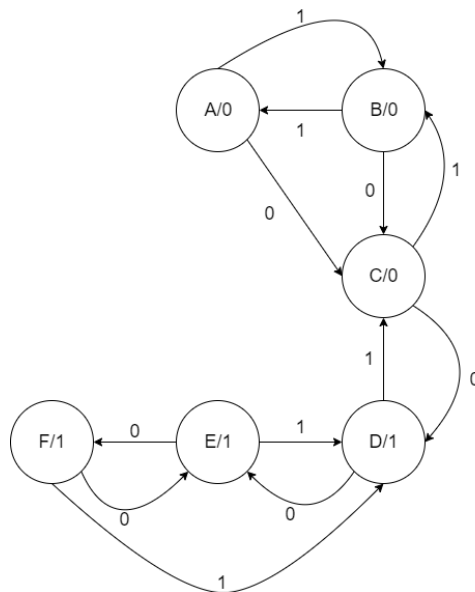
CANDIDATO:

n. matricola:

- 1) Si semplifichi la seguente espressione logica indicando chiaramente i teoremi/proprietà/identità utilizzati. Si realizzi poi la funzione ottenuta dalla semplificazione con un opportuno decodificatore.

$$\overline{A}BC + \overline{A}\overline{B}C + \overline{A}\overline{D} + \overline{B}CD + \overline{B}C + \overline{B}\overline{D}$$

- 2) Si progetti un circuito combinatorio che riceve in input un numero binario in modulo e segno a 3 bit ($I_2I_1I_0$) dove il bit più significativo è il bit di segno. Il circuito dovrà porre in output, su un numero minimo di bit, la rappresentazione in complemento a 2 del numero in ingresso. Si riportino la tabella di verità, le mappe di Karnaugh e le funzioni semplificate.
- 3) Si descriva come sia possibile realizzare l'operazione aritmetica di moltiplicazione per un valore costante.
- 4) Si consideri il seguente diagramma di stato. Eliminare eventuali stati equivalenti, ricavare la tabella di stato ed assegnare agli stati un codice binario secondo la codifica one-hot. Implementare poi il circuito utilizzando solo flip-flop di tipo D (non è necessario disegnare tutto il circuito, basta indicare le equazioni e come viene collegato il segnale di reset ai flip-flop). Calcolare poi il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14 ed ignorando il costo delle porte NOT sugli ingressi.



- 5) Si progetti un contatore all'indietro a 4 bit modulo 9 utilizzando solo flip-flop JK. Si considerino gli stati non utilizzati come condizioni di non specificazione. Come andrebbero modificate le equazioni per includere un segnale di abilitazione attivo alto? Dopo aver

aggiunto il segnale di abilitazione, calcolare il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.

- 6) Si descriva la struttura di un registro a scorrimento dotato di segnale di SHIFT per effettuare o meno lo scorrimento.
- 7) Si consideri il seguente codice VHDL che descrive un sommatore/sottrattore a 4 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE attivo alto. Indicare come dovrebbe essere modificato il codice per considerare numeri su 8 bit. Infine indicare come andrebbe aggiunta una porta di output ovf che indichi il verificarsi dell'overflow.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity addsub is
5:     port(
6:         A,B : in std_logic_vector(3 downto 0);
7:         sel : in std_logic;
8:         S   : out std_logic_vector(3 downto 0)
9:     );

10: end addsub;

11: architecture arch of addsub is
12:     signal res : signed(3 downto 0);

13:     begin
14:         with sel select
15:             res <= signed(A)+signed(B) when '0',
16:                 signed(A)+signed(not(B))+1 when '1',
17:                 "XXXX" when others;

18:         S <= std_logic_vector(res(3 downto 0));

19:     end arch;
```