

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
9 giugno 2021

CANDIDATO:

n. matricola:

- 1) Si progetti un full adder indicando chiaramente la tabella di verità e le equazioni booleane. Utilizzare poi il blocco progettato per costruire un circuito sottrattore a 5 bit con riporto. Applicare infine la tecnica della contrazione per realizzare un circuito "sottrai 7" per numeri a 5 bit senza riporto in uscita (disegnare anche il circuito logico finale).
- 2) Si descrivano le strutture dei dispositivi Programmable Logic Array (PLA) e Programmable Array Logic (PAL), evidenziandone le differenze. Utilizzare poi un opportuno dispositivo PAL per implementare le funzioni:
$$A(X, Y, Z) = \Sigma m(0,1,3,5)$$
$$B(X, Y, Z) = \Sigma m(1,3,6,7)$$
- 3) Si descriva la tecnica del controllo di parità. Considerando un messaggio su 3 bit, come andrebbero progettati il generatore ed il controllore di parità in caso di parità dispari (indicare le tabelle di verità, le mappe di Karnaugh e le equazioni booleane)?
- 4) Si progetti un circuito in grado di riconoscere la sequenza 0110 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z. L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 011 e l'ingresso corrente vale 0. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale. Si utilizzi la codifica one-hot per assegnare codici agli stati e si utilizzino solo flip-flop di tipo D. Quanto vale il costo degli ingressi del circuito, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)?
Esempio di sequenza da riconoscere: X: 0 0 0 0 1 1 0 1 1 0 0 0
uscita Z: 0 0 0 0 0 0 1 0 0 1 0 0
- 5) Si progetti un contatore che segua la sequenza di conteggio 0 - 7 - 3 - 2 utilizzando solo flip flop JK. Considerare gli stati non utilizzati come condizioni di non specificazione. Ricavare poi il diagramma di stato, indicando cosa accadrebbe al circuito qualora si presentassero in uscita le combinazioni considerate come condizioni di non specificazione. Come andrebbero modificate le equazioni per includere un segnale di ENABLE attivo basso?
- 6) Descrivere la struttura ed il funzionamento di un registro a caricamento parallelo con possibilità di scorrimento dei dati in un'unica direzione.
- 7) Si consideri il seguente codice VHDL che descrive un sommatore con clock a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come andrebbe modificato il codice per includere una porta di abilitazione EN attiva bassa. Modificare il codice per includere una porta di SET asincrona attiva bassa con meno priorità rispetto alla porta RESET. Come andrebbe modificato il codice per includere una porta che segnali il verificarsi della condizione di overflow?

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity add5 is
5:     port(
6:         A, B, clk, reset : in std_logic_vector(4 downto 0);
7:         clk, reset : in std_logic;
8:         S : out std_logic_vector(4 downto 0);
9:     );

10: end add5;

11: architecture arch of add5 is
12:     signal sum : unsigned(4 downto 0);
13:     begin
14:         process(clk, reset)
15:             if (reset='1') then
16:                 sum <="00000";
17:             elsif (rising_edge(clk)) then
18:                 sum <= unsigned(A)+unsigned(B);
19:             end if;
20:         end process;

21:         S <= std_logic_vector(sum(4 downto 0));
22:     end arch;
```