



- 7) Si consideri il seguente codice VHDL che descrive un contatore all'indietro a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come andrebbe modificato il codice per includere una di SET asincrona con priorità rispetto al RESET. Modificare il codice per includere una porta DIR che fa effettuare il conteggio in avanti quando l'ingresso vale 0 e all'indietro quando vale 1. Aggiungere poi una porta CO che indichi quando il contatore ha raggiunto la massima dinamica del conteggio.

```

1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity cnt5 is
5:     port (
6:         clk, reset, en : in std_logic;
7:         Q : out std_logic_vector(4 downto 0)
8:     );

9: end cnt5;

10: architecture arch of cnt5 is
11:     signal count : unsigned(4 downto 0);
12:     begin
13:         process (clk, reset)
14:             begin
15:                 if (reset='1') then
16:                     count <= "11111";
17:                 elsif (rising_edge(clk) and (en='1')) then
18:                     count <= count - "00001";
19:                 end if;
20:             end process;
21:             Q <= std_logic_vector(count(4 downto 0));

22: end arch;

```