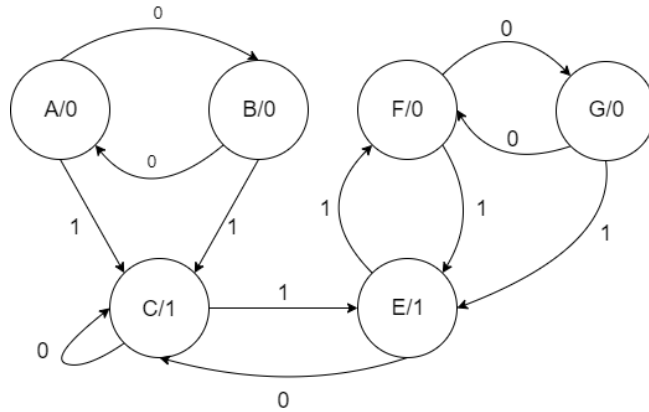


Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
7 luglio 2021

CANDIDATO:

n. matricola:

- 1) Si descrivano il principio e le varie fasi della progettazione gerarchica. Si progetti poi, secondo tale principio, un comparatore di disuguaglianza a 4 bit (l'uscita del comparatore deve essere a livello logico alto solo quando le due parole in ingresso sono diverse). Proporre poi un'implementazione di tale circuito utilizzando solo porte NAND.
- 2) Si descrivano le funzionalità e le principali caratteristiche di un encoder. Si progetti poi un encoder a 4 ingressi con priorità all'ingresso con peso minore (riportare tabella di verità, mappe di Karnaugh ed equazioni booleane). Si preveda inoltre un'uscita che indichi quando almeno uno degli ingressi assume valore logico alto.
- 3) Data una ROM 64 X 4 con ingresso di abilitazione, costruire una ROM 256 x 8 utilizzando un opportuno numero di chip ed un decodificatore.
- 4) Si consideri un generico contatore. Discutere le tecniche di gating seriale e gating parallelo evidenziando vantaggi e difetti di ciascuna tecnica.
- 5) Si progetti un contatore a 3 bit che segue l'ordine di conteggio della codifica Gray utilizzando solo flip-flop di tipo D. Spiegare poi come andrebbe modificato il progetto per includere un segnale di ENABLE attivo basso. Quando il circuito viene disabilitato deve mantenere in uscita la codifica presente all'istante della disabilitazione, inoltre, quando il circuito viene abilitato nuovamente il conteggio dovrà riprendere da questa combinazione. Calcolare poi il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14 ed ignorando il costo delle porte NOT sugli ingressi.
- 6) Si consideri il seguente diagramma di stato. Indicare se si tratta di un circuito di tipo Mealy o di tipo Moore, motivando la risposta. Eliminare eventuali stati equivalenti e ricavare la tabella di stato ed assegnare agli stati un codice binario secondo la codifica one-hot. Implementare poi il circuito utilizzando solo flip-flop di tipo D (non è necessario disegnare tutto il circuito, ma bisogna indicare come collegare il reset ai flip-flop). Calcolare il costo degli ingressi assumendo che il costo di un singolo flip flop sia pari a 14 e non considerando il costo delle porte NOT sugli ingressi.



- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 8 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come andrebbe modificato il codice per includere una porta di abilitazione EN attiva alta che permetta di abilitare lo shift. Modificare il codice per includere una porta DIR che fa effettuare lo shift verso sinistra quando l'ingresso vale 0 e lo shift verso destra quando vale 1. Aggiungere poi una porta M che indichi quando il valore contenuto nel registro è multiplo di 16.

```

1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port (
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(7 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(7 downto 0);
12:     begin
13:         process (clk,reset)
14:             begin
15:                 if (reset='1') then
16:                     shift <= "00000000";
17:                 elsif (rising_edge(clk)) then
18:                     shift <= shift(6 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(7);
23:         end arch;

```