

Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
30 luglio 2021

CANDIDATO:

n. matricola:

- 1) Si progetti un multiplexer 4-1 indicando tabella di verità in forma densa, equazione booleana e diagramma logico del circuito. Quale multiplexer serve per implementare in modo efficiente una funzione booleana ad  $n$  variabili? Implementare in modo efficiente, utilizzando un opportuno multiplexer, la seguente funzione:

$$F = A\bar{B}C + \bar{A}\bar{C} + AB$$

- 2) Descrivere la struttura di un circuito sommatore/sottrattore che, in base ad un bit di selezione  $S$  effettua la somma ( $S=0$ ) oppure la sottrazione ( $S=1$ ) di due numeri binari  $A$  e  $B$  posti in ingresso. Descrivere poi come sia possibile individuare l'overflow.
- 3) Si descrivano struttura e caratteristiche dei dispositivi PAL e PLA, evidenziandone le differenze. Si realizzino poi le seguenti equazioni booleane utilizzando un opportuno PLA. Se invece le funzioni dovessero essere implementate in un PAL, che requisiti dovrebbe avere questo dispositivo?

$$F = \bar{A}B + CD + AB\bar{C}D + A\bar{B}C + ABC\bar{D}$$
$$G = \bar{A}B + B\bar{C}D + BC\bar{D} + A\bar{B}C$$

- 4) Si descriva la struttura di un generico circuito sequenziale, evidenziando il ruolo di ogni blocco. Si discutano poi le differenze tra i circuiti sequenziali sincroni ed asincroni.
- 5) Un circuito sequenziale è dotato di due ingressi  $X$  ed  $Y$  e di un'uscita  $Z$ . Una sequenza di bit, di lunghezza arbitraria, viene presentata all'ingresso  $X$ . Quando un bit viene presentato sull'ingresso  $X$ , il corrispondente bit di uscita  $Z$  appare durante lo stesso ciclo di clock. Fino a quando i bit applicati all'ingresso  $X$  sono 0, sarà  $Z=0$ . Quando il primo 1 è applicato all'ingresso  $X$ , sarà  $Z=1$ . Per tutti i bit applicati ad  $X$ , dopo che il primo 1 è stato applicato, sarà  $Z=0$ . Per indicare che una sequenza è completa e che il circuito è inizializzato per ricevere un'altra sequenza, l'ingresso  $Y$  diventa 1 per un ciclo di clock, altrimenti è  $Y=0$ . Costruire diagramma di stato, tabella di stato e realizzare il circuito con codifica one hot e flip flop di tipo D. Calcolare il costo degli ingressi considerando il costo di un singolo flip flop pari a 14.
- 6) Progettare un contatore BCD sincrono utilizzando solo flip flop JK. Calcolare il costo degli ingressi considerando il costo di un singolo flip flop pari a 14. Disegnare poi il diagramma di stato indicando cosa accadrebbe qualora si presentassero in uscita stati considerati come condizioni di non specificazione durante il progetto.
- 7) Si consideri il seguente codice VHDL che descrive un multiplexer 4-1 sincrono. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di SET per un segnale di inizializzazione al valore "1" dell'uscita  $Y$ . Questo segnale dovrà avere meno priorità rispetto al segnale di RESET. Indicare come dovrebbe essere modificata l'architettura per includere una seconda via al multiplexer (MUX 4-1 a 2 vie).

Infine indicare come andrebbe aggiunta una porta di output EQ che indichi l'uguaglianza del valore posto nelle due vie di uscita.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity mux is
4:     port(
5:         clk, reset : in std_logic;
6:         S : in std_logic_vector(1 downto 0);
7:         I : in std_logic_vector(3 downto 0);
8:         Y : out std_logic
9:     );

10: end mux;

11: architecture arch of mux is
12: begin
13:     process (clk, reset)
14:     begin
15:         if (reset = '1') then
16:             Y <= '0';
17:         elsif (falling_edge(clk)) then
18:             if (S = "00") then
19:                 Y <= I(0);
20:             elsif (S = "01") then
21:                 Y <= I(1);
22:             elsif (S = "10") then
23:                 Y <= I(2);
24:             elsif (S = "11") then
25:                 Y <= I(3);
26:             else
27:                 Y <= 'X';
28:             end if;
29:         end if;
30:     end process;
31: end arch;
```