

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
30 luglio 2021

CANDIDATO:

n. matricola:

- 1) Si semplifichi la seguente funzione logica, indicando chiaramente i teoremi/dentita e/o proprietà utilizzati. Implementare poi la funzione utilizzando solo porte NAND e solo porte NOR. Quale delle due implementazioni ha un costo degli ingressi minore? Implementare la funzione semplificata con un opportuno decodificatore.

$$F = \bar{X}Y + ZW + XY\bar{Z}W + X\bar{Y}Z + XYZ\bar{W}$$

- 2) Si descrivere la struttura e il funzionamento di una Look Up Table (LUT) a 2 ingressi. Progettare poi una LUT a 4 ingressi utilizzando solo LUT a 2 ingressi e multiplexer 2-1. Implementare poi con la LUT progettata la seguente funzione booleana:

$$F = \bar{B} \bar{D} + ABD + \bar{A}BC$$

- 3) Si descrivano i principali parametri tecnologici da considerare nel progetto di un sistema digitale, indicando chiaramente il loro impatto sul circuito finale.
- 4) Si consideri un registro a caricamento parallelo. Si discuta la tecnica di gating del clock, descrivendo come viene implementata e quali problematiche comporta. Si descriva poi nel dettaglio una soluzione alternativa a tale tecnica.
- 5) Progettare un contatore, utilizzando un numero minimo di bit, che effettui ciclicamente il conteggio 7 – 4 – 2 – 1 – 0 – 3 utilizzando solo flip flop JK. Considerare gli stati non utilizzati come condizioni di non specificazione. Ricavare poi il diagramma di stato, indicando cosa accadrebbe qualora si presentassero in uscita gli stati considerati come condizioni di non specificazione.
- 6) Si progetti un circuito in grado di riconoscere la sequenza 0110 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z. L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 011 e l'ingresso corrente vale 0. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale. Si utilizzi la codifica Gray per assegnare codici agli stati e si utilizzino solo flip-flop di tipo D. Quanto vale il costo degli ingressi del circuito, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)?

Esempio di sequenza da riconoscere:

X: 0 0 0 0 1 1 0 1 1 0 0 0

uscita Z: 0 0 0 0 0 0 1 0 0 1 0 0

- 7) Si consideri il seguente codice VHDL che descrive un sottrattore sincrono a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di SET per un segnale di inizializzazione l'uscita a "11111". Questo segnale dovrà avere meno priorità rispetto al segnale di RESET. Indicare come dovrebbe essere modificata l'architettura per includere una porta che indichi il verificarsi dell'overflow. Indicare come andrebbe aggiunta una porta di uscita per convertire in valore assoluto il dato A.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity sub is
5:     port(
6:         clk, reset in std_logic;
7:         A,B : in std_logic_vector(4 downto 0);
8:         D  : out std_logic_vector(4 downto 0)
9:     );

10: end sub;

11: architecture arch of sub is
12:     signal dif : signed(4 downto 0);

13:     begin
14:         process (clk, reset)
15:             begin
16:                 if (reset = '0') then
17:                     dif<="00000";
18:                 elsif (rising_edge(clk))
19:                     dif <= signed(A)+signed(not(B))+1;
20:                 end if;
21:                 D <= std_logic_vector(dif(4 downto 0));
22:             end process;
23: end arch;
```