

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
31 agosto 2021

CANDIDATO:

n. matricola:

- 1) Si semplifichi la seguente espressione logica indicando chiaramente quali teoremi, proprietà e/o identità sono stati utilizzati. Implementare poi la funzione logica semplificata utilizzando un opportuno decodificatore.

$$F = WX + \bar{Y}Z + W\bar{X}Y + \bar{W}XYZ + W\bar{X}\bar{Y}\bar{Z}$$

- 2) Progettare un circuito per convertire numeri binari espressi in codice Gray in numeri binari espressi in BCD, imponendo che tutte le combinazioni d'ingresso non valide producano un codice d'uscita con tutti i bit ad 1 (riportare tabella di verità, mappe di Karnaugh ed equazioni semplificate). Come andrebbero modificate le equazioni per includere un segnale di ENABLE attivo basso?
- 3) Si descriva la struttura di un dispositivo FPGA. Si descrivano e confrontino poi le varie tecniche utilizzabili per produrre i bit di configurazione del dispositivo.
- 4) Si progetti un contatore in complemento a 2 che conti da -3 a 3 utilizzando solo flip-flop di tipo D. Considerare le combinazioni non utilizzate come condizioni di non specificazione. Il contatore dovrà essere dotato di un segnale di ENABLE attivo basso, che blocchi il conteggio quando ENABLE vale 1. Quando il segnale di abilitazione viene nuovamente posto a 0, il conteggio dovrà ripartire dal valore memorizzato nel contatore. Si calcoli il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.
- 5) In molti sistemi di comunicazione, il segnale trasmesso sulla linea di comunicazione utilizza il formato "NRZI" (non return to zero inverted). Progettare un circuito che converta un messaggio formato da una qualsiasi sequenza di 0 e 1 in formato NRZI secondo le seguenti specifiche: a) se il bit del messaggio è 0, allora il messaggio NRZI contiene un'immediata inversione da 0 a 1 o da 1 a 0, a seconda del valore corrente NRZI; b) se il bit del messaggio è 1, allora il messaggio NRZI rimane fissato a 1 o a 0, a seconda del valore corrente del messaggio NRZI. Progettare il circuito adottando il formalismo di Mealy e la codifica one-hot e prevedendo un segnale di reset asincrono che riporti il circuito nello stato in cui il messaggio NRZI vale 0. Si calcoli il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14. Come cambierebbe il progetto e quindi il numero di flip-flop necessari se si adottasse la codifica Gray?
- 6) Si descrivano struttura e funzionamento di un registro a scorrimento bidirezionale con possibilità di caricamento parallelo dei dati.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di SET per un segnale di inizializzazione al valore "11111" il contenuto del registro. Questo segnale dovrà avere priorità rispetto al segnale di RESET. Indicare come dovrebbe

essere modificata l'architettura per includere una porta S di selezione per effettuare lo shift verso destra quando S=0 o verso sinistra quando S=1. Infine indicare come andrebbe aggiunta una porta di output M che indichi quando ne registro è contenuto un multiplo intero di 4.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     shift <= "00000";
17:                 elsif(rising_edge(clk)) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);
23:         end arch;
```