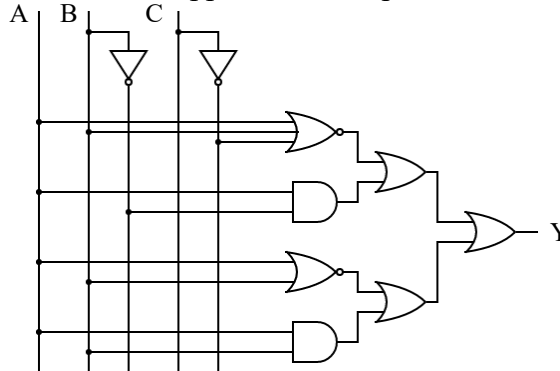


Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
31 agosto 2021

CANDIDATO:

n. matricola:

- 1) Si ricavi l'espressione logica del seguente diagramma. Si semplifichi poi l'espressione indicando chiaramente quali teoremi/proprietà e/o identità sono stati utilizzati. Implementare poi l'espressione semplificata con un opportuno multiplexer.



- 2) Si riportino la tabella di verità, le mappe di Karnaugh e le equazioni di un full adder. Progettare poi un circuito sottrattore a 5 bit con riporto in uscita e spiegarne il funzionamento. Utilizzare poi la tecnica della contrazione per decrementare il valore in ingresso di 7 senza riporto in uscita.
- 3) Si descriva come sia possibile realizzare l'operazione di moltiplicazione per un valore costante.
- 4) Si progetti un contatore in avanti modulo 6 utilizzando solo flip-flop di tipo D. Si calcoli poi il costo degli ingressi, considerando pari a 14 il costo di un singolo flip-flop. Come andrebbe modificato il circuito per includere un segnale di ENABLE attivo alto? Questo segnale deve bloccare il conteggio per ENABLE =0, mentre per ENABLE=1 il conteggio deve riprendere dal valore immagazzinato nel contatore. Come andrebbe modificato il circuito per utilizzare solo flip-flop JK senza modificare la parte di logica combinatoria?
- 5) Progettare un generatore di parità pari seriale. All'ingresso X del circuito viene fornita una sequenza binaria di lunghezza arbitraria. Quando un bit si presenta all'ingresso X, il corrispondente bit di parità pari per la sequenza binaria deve apparire immediatamente all'uscita Z. Per indicare che la sequenza è completa e che il circuito deve essere reinizializzato per ricevere un'altra sequenza, un altro ingresso Y diventa 1, mentre in tutti gli altri casi Y=0. Costruire il diagramma di stato con il formalismo di Mealy, la tabella di stato e realizzare il circuito adottando la codifica one-hot. Calcolare il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.
- 6) Si descrivano la struttura e il funzionamento di un generico contatore binario a caricamento parallelo, discutendo in dettaglio come possano essere connessi più contatori di questo tipo per aumentare la dinamica del conteggio.

- 7) Si consideri il seguente codice VHDL che descrive un codificatore con priorità sincrono. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE attivo alto. Descrivere poi come andrebbe modificato il codice per aggiungere una porta V che indichi quando almeno uno degli ingressi D vale 1. Modificare infine il codice per includere una porta M che indichi quando il contenuto della porta D è un multiplo di 4.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity cod_p is
4:     port(
5:         D : in std_logic_vector(3 downto 0);
6:         X : out std_logic_vector(1 downto 0);
7:         clk: in std_logic
8:     );
9: end cod_p;

10: architecture arch of cod_p is
11: begin
12:     process(clk)
13:     begin
14:         if (rising_edge(clk) then
15:             if D(3) = '1' then
16:                 X <= "11";
17:             elsif D(2) = '1' then
18:                 X <= "10";
19:             elsif D(1) = '1' then
20:                 X <= "01";
21:             elsif D(0) = '1' then
22:                 X <= "00";
23:             else
24:                 X <= "--";
25:             end if;
26:         end if;
27:     end process;
28: end arch;
```