

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
15 settembre 2021

CANDIDATO:

n. matricola:

- 1) Un sistema di illuminazione deve utilizzare un controllore logico binario per gestire un faretto che si trova all'intersezione di un corridoio a T. All'inizio di ciascuno dei 3 corridoi che costituiscono la T è ubicato un interruttore per accendere e spegnere il faretto. A ciascun interruttore è associata una variabile binaria (X_1, X_2, X_3) che indica interruttore chiuso (1, quindi segnale per accendere il faretto) oppure interruttore aperto (0, quindi interruttore aperto). Determinare la funzione Z che controlla l'accensione del faretto, riportando tabella di verità, mappa di Karnaugh e calcolare il costo degli ingressi. Sarebbe più conveniente implementare la funzione con sole porte NAND o con sole porte NOR?
- 2) Si descrivano e confrontino, evidenziandone le differenze, i dispositivi PAL e PLA. Realizzare poi, con un opportuno PLA le seguenti funzioni logiche:

$$F(X, Y, Z) = \Sigma m(1, 2, 3, 7)$$

$$K(X, Y, Z) = \Sigma m(3, 5, 6, 7)$$

- 3) Si descrivano struttura e funzionamento delle memorie programmabili a sola lettura.
- 4) Si progetti un contatore sincrono in codice Gray a 4 bit all'indietro utilizzando solo flip-flop JK. Come andrebbero modificate le equazioni per includere un segnale di ENABLE attivo basso? Calcolare il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14. Ipotizzando di implementare la parte combinatoria che pone il dato in ingresso al flip flop di peso maggiore solo con porte NAND o solo con porte NOR, quale delle due alternative sarebbe a costo minore?
- 5) Si progetti un circuito in grado di riconoscere la sequenza 0010 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z . L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 001 e l'ingresso corrente vale 0. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale (disegnare il dettaglio circuitale). Si utilizzi la codifica Gray per assegnare codici agli stati e si utilizzino solo flip-flop di tipo D. Quanto vale il costo degli ingressi del circuito, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)?

Esempio di sequenza da riconoscere: $X: 0\ 0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 1\ 0$

uscita $Z: 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 1$

- 6) Si descrivano strutture e caratteristiche di un generico circuito logico sequenziale.
- 7) Si consideri il seguente codice VHDL che descrive un circuito sommatore/sottrattore a 4 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE attivo alto. Descrivere poi come andrebbe modificato il codice per implementare un sommatore/sottrattore sincrono e sensibile al fronte di discesa del

clock. Modificare infine il codice per includere una porta OVF che indichi il verificarsi dell'overflow.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity addsub is
5:     port(
6:         A,B : in std_logic_vector(3 downto 0);
7:         sel : in std_logic;
8:         S   : out std_logic_vector(3 downto 0)
9:     );

10: end addsub;

11: architecture arch of addsub is
12:     signal res : signed(3 downto 0);

13:     begin
14:         with sel select
15:             res <= signed(A)+signed(B) when '0',
16:                 signed(A)+signed(not(B))+1 when '1',
17:                 "XXXX" when others;

18:         S <= std_logic_vector(res(3 downto 0));

19: end arch;
```