

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
15 settembre 2021

CANDIDATO:

n. matricola:

- 1) Si descriva il funzionamento di un decodificatore 2-4 con ingresso di abilitazione, riportando anche la tabella di verità e il diagramma logico del circuito. Progettare poi un decodificatore 6-64, riportando per ogni stadio del progetto le equazioni ed il numero di porte logiche necessarie.
- 2) Si riportino la tabella di verità, le mappe di Karnaugh e le equazioni di un half adder e di un full adder. Si progetti poi un sottrattore ad n bit utilizzando il full adder descritto precedentemente. Si utilizzi poi la tecnica della contrazione per costruire un opportuno circuito in grado di sottrarre la costante 12 al dato in ingresso, utilizzando il numero minimo di bit.
- 3) Si descrivano il funzionamento e l'utilità delle quattro principali funzioni logiche, riportando per ciascuna anche le tabelle di verità ed i diagrammi logici.
- 4) Progettare un circuito in grado di convertire una sequenza arbitraria di bit in complemento a 2. All'ingresso X del circuito viene fornita una sequenza binaria di lunghezza arbitraria, a partire dal bit meno significativo. Quando un bit si presenta all'ingresso X, il corrispondente bit la sequenza binaria in complemento a 2 deve apparire immediatamente all'uscita Z. Per indicare che la sequenza è completa e che il circuito deve essere reinizializzato per ricevere un'altra sequenza, un altro ingresso Y diventa 1, mentre in tutti gli altri casi Y=0. Costruire il diagramma di stato con il formalismo di Mealy, la tabella di stato e realizzare il circuito adottando la codifica one-hot. Calcolare il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.
- 5) Si descrivano struttura e funzionamento di un contatore BCD, indicando nello specifico come andrebbero modificate le equazioni per interconnettere più contatori BCD per aumentare la dinamica del conteggio.
- 6) Un circuito sequenziale deve essere riprogettato per ridurre il costo (l'ingresso è X, l'uscita Z e gli stati A, B e C). In fase di progetto gli stati 110 e 111 sono stati considerati come condizioni di non specificazione. Trovare la tabella di stato del circuito sostituendo etichette ai codici; rimuovere eventuali stati equivalenti; assegnare i codici agli stati in modo che l'uscita sia una delle variabili di stato; determinare il costo degli ingressi del circuito originale e di quello riprogettato assumendo un costo per ciascun flip-flop pari a 14. Il circuito originale è descritto dalle seguenti equazioni:

$$D_A = \bar{A} \bar{C} \bar{X} \quad D_B = CX + \bar{A}C \quad D_C = B\bar{C}\bar{X} + \bar{B}\bar{C}X + \bar{A}C\bar{X} \quad Z = B\bar{C} + AC$$

- 7) Si consideri il seguente codice VHDL che descrive un flip-flop di tipo D. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di uscita che sia il complemento dell'uscita Q. Descrivere poi come andrebbe modificato il codice, cambiando il numero minimo di linee, per implementare un flip-flop di

tipo JK. Descrivere poi come andrebbe modificato il codice, cambiando il numero minimo di linee, per implementare un flip-flop di tipo T.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity dff is
4:     port(
5:         D,clk,reset : in std_logic;
6:         Q : out std_logic
7:     );

8: end dff;

9: architecture arch of dff is
10:     begin
11:         process (clk,reset)
12:             begin
13:                 if (reset = '1') then
14:                     Q <= '0';
15:                 else if(rising_edge(clk)) then
16:                     Q <= D;
17:                 end if;
18:             end if;
19:         end process;
20: end arch;
```