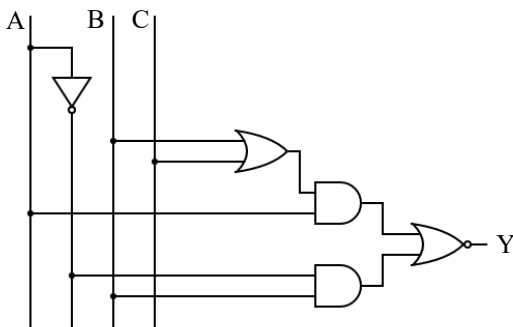


Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
 Lauree in Ing. Elettronica e Informatica DM 270
 3 novembre 2021

CANDIDATO:

n. matricola:

- 1) Si determini il ritardo di propagazione del seguente circuito logico (considerando anche il ritardo prodotto dalle NOT sugli ingressi), conoscendo le caratteristiche delle porte logiche indicate in tabella (t_{PHL} è il ritardo di propagazione per la transizione alto-basso, mentre t_{PLH} è il ritardo di propagazione per la transizione basso-alto). Ricavare la funzione logica del circuito e semplificarla in modo da ottenere il numero minimo di letterali, indicando i teoremi, proprietà ed identità utilizzati.



Porta	t_{PHL}	t_{PLH}
AND	0,2 ns	0,3 ns
OR	0,2 ns	0,1 ns
NOT	0,1 ns	0,1 ns
NOR	0,7 ns	0,6 ns

- 2) Si descriva la tecnica del controllo di parità. Considerando un messaggio su 3 bit, come andrebbero progettati il generatore ed il controllore di parità in caso di parità dispari (indicare le tabelle di verità, le mappe di Karnaugh e le equazioni booleane)?
- 3) Si descriva l'operazione di encoding. Progettare poi un encoder da ottale a binario.
- 4) Si progetti il sistema di controllo di un ventilatore digitale. Il ventilatore può essere spento (S), oppure avere tre differenti velocità (V0, V1, V2). Il ventilatore è dotato di due pulsanti P ed M (ingressi) per aumentare e diminuire la velocità e di un LED L (uscita). Il ventilatore è inizialmente spento e si accende ed inizia a girare alla velocità V0 quando viene premuto il pulsante P. Ad ogni successiva pressione di P la velocità aumenta, fino a raggiungere la massima velocità (V2). Ogni pressione del pulsante M fa diminuire la velocità. Se il pulsante M viene premuto quando il ventilatore è alla velocità minima (V0), questo si spegne. Il LED L deve essere acceso solo quando il ventilatore è in funzione. Progettare il sistema di controllo, assumendo che la pressione contemporanea dei pulsanti P ed M corrisponda alla sola pressione del pulsante M. Indicare il diagramma di stato, la tabella di stato e progettare il circuito utilizzando solo flip-flop D ed adottando una codifica Gray. Calcolare il costo del circuito assumendo che ogni flip-flop abbia un costo pari a 14.
- 5) Si progetti un contatore BCD all'indietro utilizzando solo flip-flop JK. Disegnare il diagramma di stato ed indicare cosa accadrebbe qualora si presentassero in uscita combinazioni binarie considerate come condizioni di non specificazione in caso di progetto. Discutere poi come andrebbero gestite queste condizioni ipotizzando diversi casi di utilizzo per il contatore progettato.
- 6) Si consideri un registro a caricamento parallelo. Descrivere la problematica del clock skew e come sia possibile risolverla.

- 7) Si consideri il seguente codice VHDL che descrive un multiplexer 4-1 sincrono. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE attivo basso. Descrivere poi come andrebbe modificato il codice per descrivere un multiplexer sincrono 6-1. Modificare infine il codice per includere una porta D che indichi la presenza di un numero dispari all'ingresso I.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity mux is
4:     port(
5:         clk, reset : in std_logic;
6:         S : in std_logic_vector (1 downto 0);
7:         I : in std_logic_vector (3 downto 0);
8:         Y : out std_logic
9:     );

10: end mux;

11: architecture arch of mux is
12: begin
13:     process (clk, reset)
14:     begin
15:         if (reset = '1') then
16:             Y <= '0';
17:         elsif (falling_edge(clk)) then
18:             if (S = "00") then
19:                 Y <= I(0);
20:             elsif (S = "01") then
21:                 Y <= I(1);
22:             elsif (S = "10") then
23:                 Y <= I(2);
24:             elsif (S = "11") then
25:                 Y <= I(3);
26:             else
27:                 Y <= 'X';
28:             end if;
29:         end if;
30:     end process;
31: end arch;
```