

Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
3 novembre 2021

CANDIDATO:

n. matricola:

- 1) Si descrivano le principali tecniche di semplificazione di un circuito logico digitale, evidenziando vantaggi e svantaggi di ogni tecnica. Si discuta inoltre in quali casi e per quale tipologia di circuiti sia opportuno utilizzare ciascuna tecnica.
- 2) Si descriva la generica funzione svolta da un multiplexer. Riportare tabella di verità ed equazioni booleane di un multiplexer 4-1. Realizzare poi un multiplexer 15-1 a partire da due multiplexer 8-1. Il progetto deve essere effettuato minimizzando la logica aggiuntiva necessaria per avere i codici di selezione da 0000 a 1110.
- 3) Si descriva la generica struttura di una memoria ROM. Progettare poi un'opportuna memoria ROM che converta un numero binario su 4 bit in un numero BCD a due cifre.
- 4) Si progetti un circuito logico sequenziale con due ingressi X e Y e un'uscita Z. L'ingresso X riceve una sequenza binaria di lunghezza arbitraria a partire dal bit più significativo. Per indicare che il bit posto nell'ingresso X è l'ultimo della sequenza, l'ingresso Y viene posto pari ad 1. In tutti gli altri casi Y vale 0. L'uscita Z deve valere 1 quando la sequenza binaria completa risulta essere un multiplo di 4, in tutti gli altri casi l'uscita Z deve valere 0. Costruire il diagramma di stato con il formalismo di Mealy, la tabella di stato e realizzare il circuito adottando una codifica che permetta di rilevare eventuali malfunzionamenti del circuito. Ricavare le equazioni booleane del circuito sequenziale e del sistema di rilevazione di malfunzionamenti.
- 5) Si progetti un contatore all'indietro modulo 7, utilizzando solo flip-flop di tipo D. Calcolare il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14. Disegnare il diagramma di stato indicando cosa accadrebbe qualora si presentassero stati considerati come condizioni di non specificazione in fase di progetto.
- 6) Nel progetto di un generico contatore binario sincrono in grado di esaurire tutta la dinamica del conteggio, è possibile utilizzare sia flip-flop di tipo D che flip-flop di tipo D. Si descriva la struttura del contatore considerando ciascuno dei due casi, evidenziando le differenze.
- 7) Si consideri il seguente codice VHDL che descrive un contatore a 4 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE attivo alto. Descrivere poi come andrebbe modificato il codice per includere una porta CO che indichi il raggiungimento della massima dinamica di conteggio. Modificare infine il codice per includere una porta D che indichi la presenza di un numero dispari all'interno della porta Q del contatore.

1: `library ieee;`

2: `use ieee.std_logic_1164.all;`

3: `use ieee.numeric_std.all;`

4: `entity cnt is`

```
5:     port(  
6:         clk, reset : in std_logic;  
7:         Q : out std_logic_vector(3 downto 0)  
8:     );  
  
9: end cnt;  
  
10: architecture arch of cnt is  
11:     signal count : unsigned(3 downto 0);  
12:     begin  
13:         process (clk,reset)  
14:         begin  
15:             if (reset='1') then  
16:                 count <= "0000";  
17:             elsif (rising_edge(clk)) then  
18:                 count <= count + "0001";  
19:             end if;  
20:         end process;  
21:         Q <= std_logic_vector(count(3 downto 0));  
22:     end arch;
```