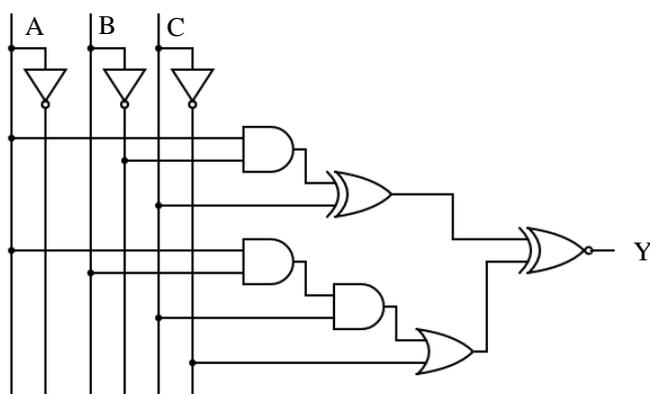


Prova d'esame di  
**RETI LOGICHE (Prof. E. Torti)**  
 Lauree in Ing. Elettronica e Informatica DM 270  
 25 febbraio 2022

CANDIDATO:

n. matricola:

- 1) Si calcoli il ritardo di propagazione del seguente circuito logico (considerando anche il ritardo prodotto dalle porte NOT sugli ingressi) conoscendo le caratteristiche delle porte logiche indicate in tabella ( $t_{PHL}$  è il ritardo di propagazione per la transizione alto-basso, mentre  $t_{PLH}$  è il ritardo di propagazione per la transizione basso-alto). Ricavare poi la tabella di verità e minimizzarla tramite mappa di Karnaugh. Considerando il costo degli ingressi, è più conveniente implementare la rete semplificata con solo porte NAND o con sole porte NOR?



Porta	$t_{PHL}$	$t_{PLH}$
AND	0,3 ns	0,2 ns
OR	0,1 ns	0,2 ns
NOT	0,1 ns	0,1 ns
XOR	0,5 ns	0,7 ns
XNOR	0,2 ns	0,6 ns

- 2) Si descrivano struttura e caratteristiche di una memoria ROM. Data una ROM 64 X 4 con ingresso di abilitazione, si progetti una memoria ROM 192 X 8 utilizzando un numero opportuno di chip ed un decodificatore.
- 3) Si descrivano i diversi metodi utilizzabili per generare i bit di configurazione di una FPGA, discutendo per ciascuno di questi le principali caratteristiche.
- 4) Si progetti un circuito in grado di riconoscere la sequenza 00010 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z. L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 0001 e l'ingresso corrente vale 0. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale. Si utilizzi la codifica one-hot per assegnare codici agli stati e si utilizzino solo flip-flop di tipo D. Quanto vale il costo degli ingressi del circuito, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)?  
 Esempio di sequenza da riconoscere: X: 0 0 0 0 1 0 0 0 1 0 1 0  
 uscita Z: 0 0 0 0 0 1 0 0 0 1 0 0
- 5) Si progetti un contatore modulo 12 all'indietro con enable attivo alto utilizzando solo flip-flop JK. Considerare gli stati non utilizzati come condizioni di non specificazione. Ricavare poi il diagramma di stato, indicando cosa accadrebbe al circuito qualora si presentassero in uscita le combinazioni considerate come condizioni di non specificazione. Discutere come andrebbero gestite le combinazioni di non specificazione in funzione dell'utilizzo del contatore all'interno del progetto di un altro dispositivo.

- 6) Si descrivano il funzionamento e la struttura (si consiglia di disegnare il circuito logico) di un registro a scorrimento bidirezionale con possibilità di caricamento parallelo dei dati.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE attivo alto. Descrivere poi come andrebbe modificato il codice per includere una porta D che permetta di scegliere la direzione dello scorrimento. Modificare infine il codice per includere una porta M che indichi la presenza di un numero multiplo di 2 ma non di 4 all'interno del registro.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     shift <= "00000";
17:                 elsif(rising_edge(clk)) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);
23:         end arch;
```