

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
31 marzo 2022

CANDIDATO:

n. matricola:

- 1) Si semplifichi la seguente funzione booleana indicando chiaramente teoremi, proprietà e/o identità utilizzati. Implementare poi la funzione semplificata utilizzando un opportuno multiplexer.

$$F = A \oplus B + \bar{A}C + BC + AC + \bar{B}C + \overline{A + \bar{B}C}$$

- 2) Si descrivano le strutture dei dispositivi PAL e PLA, evidenziandone le differenze. Implementare poi, con un opportuno PLA, le seguenti funzioni logiche:

$$F_1 = \sum m(2,4,5,7)$$

$$F_2 = \sum m(3,5,7)$$

- 3) Si descrivano i principi e le fasi della progettazione gerarchica. Impiegare poi la progettazione gerarchica per progettare un comparatore di disuguaglianza a 5 bit. Il comparatore dovrà porre in output il valore 1 se e solo se le due parole di ingresso sono tra loro diverse.
- 4) Si progetti un circuito sequenziale con due ingressi X ed Y ed un'uscita Z. Il circuito deve essere in grado di convertire una sequenza di lunghezza arbitraria nella corrispondente sequenza espressa in complemento a 2. I bit vengono posti, a partire dal meno significativo, all'ingresso X. Quando un bit si presenta all'ingresso X, il corrispondente bit della sequenza binaria in complemento a 2 deve apparire immediatamente all'uscita Z. Per indicare che la sequenza è completa e che il circuito deve essere reinizializzato per ricevere un'altra sequenza, l'ingresso Y viene posto pari ad 1, in tutti gli altri casi si ha che l'ingresso Y vale 0. Si costruisca il diagramma di stato, indicando quale formalismo viene adottato. Si ricavi la tabella di stato e si adotti un'opportuna codifica che permetta di rilevare eventuali malfunzionamenti all'interno del circuito. Si preveda anche la presenza di una rete in grado di rilevare eventuali malfunzionamenti. Calcolare, infine, il costo totale del circuito complessivo assumendo che il costo di un singolo flip flop sia pari a 14.
- 5) Si progetti un contatore a 4 bit in codice Gray utilizzando solo flip-flop di tipo D. Si descriva poi come andrebbe modificato il contatore per includere un enable attivo basso. Nel caso in cui il circuito venga disabilitato, dovrà mantenere il valore di conteggio raggiunto e proseguire con il conteggio non appena verrà nuovamente abilitato. Si calcoli il costo del circuito assumendo che il costo di un singolo flip-flop sia pari a 14.
- 6) Si consideri un generico registro a caricamento parallelo. Si discuta la tecnica di gating del clock, descrivendo come viene implementata e quali problematiche comporta. Si descriva poi nel dettaglio una soluzione alternativa a tale tecnica.
- 7) Si consideri il seguente codice VHDL che descrive un multiplexer 4-1. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di ENABLE attivo basso. Descrivere poi come andrebbe modificato il codice per includere un segnale di clock che renda l'architettura sincrona. Modificare infine il codice per includere una porta D che indichi la presenza di un numero dispari in ingresso al multiplexer.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity mux is
4:     port(
5:         S : in std_logic_vector(1 downto 0);
6:         I : in std_logic_vector(3 downto 0);
7:         Y : out std_logic
8:     );

9: end mux;

10: architecture arch of mux is
11: begin
12:     with S select
13:         Y <= I(0) when "00",
14:            I(1) when "01",
15:            I(2) when "10",
16:            I(3) when "11",
17:            'X' when others;
18: end arch;
```