

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
18 luglio 2022

CANDIDATO:

n. matricola:

- 1) Si progetti un circuito che accetti in ingresso un numero su 4 bit rappresentato in complemento a 2. Il circuito dovrà porre in uscita, su un numero minimo di bit, la conversione in modulo e segno del valore in ingresso. In fase di progetto dovranno essere usate, dove possibile, le condizioni di non specificazione. Si riportino la tabella di verità, le mappe di Karnaugh e le equazioni in forma minima. Si calcoli il costo totale degli ingressi. Come andrebbero modificate le equazioni per includere un segnale di abilitazione di tipo attivo basso?
- 2) Si descrivano e confrontino le caratteristiche dei dispositivi PAL e PLA. Si utilizzi poi un opportuno PLA per realizzare le seguenti funzioni booleane:

$$F_1 = \Sigma m(0,2,4,6)$$

$$F_2 = \Sigma m(0,2,4)$$

- 3) Si descriva il funzionamento di un buffer a tre stati. Si descriva poi come sia possibile utilizzare questo dispositivo per realizzare un multiplexer 2-1.
- 4) Si descrivano la struttura ed il funzionamento di un latch di tipo set-reset negati. Si descriva poi come questo latch possa essere modificato per ottenere un latch di tipo D con ingresso di controllo.
- 5) Un circuito sequenziale deve essere riprogettato per ridurre il costo (l'ingresso è X, l'uscita Z e gli stati A e B). Trovare la tabella di stato del circuito, sapendo che gli stati 110 e 111 non sono stati utilizzati in fase di progetto. Si sostituiscano poi etichette ai codici e si rimuovano eventuali stati equivalenti; si assegnino i codici agli stati. Infine, si determini il costo degli ingressi del circuito originale e di quello riprogettato assumendo un costo per ciascun flip-flop pari a 14.

$$D_A = BC + A\bar{C}$$

$$D_B = B\bar{C} + \bar{A}\bar{B}X + \bar{B}CX$$

$$D_C = A\bar{X} + AC + B\bar{X}$$

$$Z = \bar{A}B + A\bar{B}\bar{C}$$

- 6) Si progetti, utilizzando il numero minimo di bit, un contatore binario modulo 10, utilizzando solo flip-flop di tipo D. Si considerino le combinazioni non utilizzate come condizioni di non specificazione. Si calcoli il costo del circuito, assumendo un costo per ciascun flip-flop pari a 14. Come andrebbe modificato il circuito per includere un segnale di abilitazione di tipo attivo basso? Ricavare il diagramma di stato, indicando cosa succederebbe in uscita qualora si presentassero condizioni considerate come non specificazione durante il progetto.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come andrebbe aggiunta una porta di ENABLE attivo alto. Modificare il codice in modo da introdurre una porta DIR che indichi la direzione dello shift

(shift verso destra per DIR=0, verso sinistra per DIR=1). Si aggiunga infine una porta D che indichi la presenza di un numero dispari all'interno del registro.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process (clk,reset)
14:             begin
15:                 if (reset='1') then
16:                     shift <= "00000";
17:                 elsif (rising_edge(clk)) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);
23:         end arch;
```