

Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
23 settembre 2022

CANDIDATO:

n. matricola:

- 1) Si progetti il controllo di un sistema di regolazione del traffico per l'accesso ad un'autostrada. La rampa di accesso è formata da 4 corsie, ognuna dotata di un sensore di presenza. I sensori sono indicati come P per la corsia prioritaria, S per la corsia di sinistra, D per la corsia destra ed E per la corsia di emergenza, Quando il sensore genera il valore 1, significa che un veicolo si trova su quella corsia, genera 0 in tutti gli altri casi. Le corsie prioritaria, destra e sinistra sono anche dotate di semafori e sbarre, indicati rispettivamente con SP (semaforo prioritario), SS (semaforo sinistra), SD (semaforo destra), BP (sbarra prioritaria), BS (sbarra sinistra), BD (sbarra destra). I semafori sono verdi se il relativo segnale è 1, rossi se è 0. Le sbarre vengono chiuse con il segnale 1 ed aperte con il segnale 0. Il sistema dovrà rispettare le seguenti specifiche. In caso di presenza di un mezzo nella corsia di emergenza, tutti i semafori devono essere rossi e le sbarre chiuse. In tutti gli altri casi, le sbarre restano aperte. Nel caso ci sia un veicolo nella corsia prioritaria, solo quel semaforo dovrà essere verde, altrimenti i semafori dovranno essere controllati per permettere solo il passaggio del vicolo presente nella corsia più a destra. Si indichino le equazioni in forma minima ed il costo complessivo del circuito. Si implementino poi le equazioni utilizzando solo porte NOR e si indichi il nuovo costo totale.
- 2) Si descrivano le principali caratteristiche dei componenti logici programmabili presenti in commercio. Utilizzare poi un opportuno PAL per realizzare un convertitore da codice BCD ad eccesso-3.
- 3) Si descrivano le diverse modalità per realizzare l'operazione di moltiplicazione e divisione per valori costanti.
- 4) Un distributore automatico accetta solo monete da 10 cent. L'inserimento di una moneta viene rilevato da un sensore M che genera il valore 1 esclusivamente al passaggio della moneta. Il costo di una bibita è di 40 cent e questa viene erogata dal distributore ponendo il valore logico 1 sull'uscita E. Il distributore è inoltre dotato di un pulsante C che serve per farsi restituire tutte le monete quando viene premuto. In questo caso il distributore restituisce le monete ponendo un 1 sull'uscita B. La pressione del pulsante C risulta avere priorità maggiore rispetto all'inserimento della moneta. Si progetti il sistema di controllo adottando un'opportuna codifica a costo minimo ed adottando solo flip-flop di tipo D. Si calcoli il costo del sistema assumendo che il costo di ogni singolo flip-flop sia pari a 14.
- 5) Si progetti un contatore in codifica Gray a 3 bit utilizzando solo flip-flop JK. Si calcoli il costo del circuito assumendo che ogni flip-flop abbia un costo pari a 14. Si modifichino poi le equazioni in modo da aggiungere un segnale di abilitazione attivo basso. Come cambierebbe il progetto se i flip-flop fossero sensibili al fronte di discesa anziché al fronte di salita?
- 6) Si descrivano e si confrontino le principali caratteristiche dei contatori binari in cascata e sincroni.
- 7) Si consideri il seguente codice VHDL che descrive un contatore a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal

relativo commento). Spiegare poi come andrebbe aggiunta una porta CO che indichi il raggiungimento della massima dinamica di conteggio. Modificare il codice in modo da introdurre una porta di ENABLE attiva bassa. Si modifichi infine il contatore in modo che il modulo del conteggio sia 15.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity cnt5 is
5:     port(
6:         clk, reset : in std_logic;
7:         Q : out std_logic_vector(4 downto 0)
8:     );

9: end cnt5;

10: architecture arch of cnt5 is
11:     signal count : unsigned(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     count <= "00000";
17:                 elsif(rising_edge(clk)) then
18:                     count <= count + "00001";
19:                 end if;
20:             end process;
21:             Q <= std_logic_vector(count(4 downto 0));

22: end arch;
```