

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
 Lauree in Ing. Elettronica e Informatica DM 270
 26 gennaio 2023

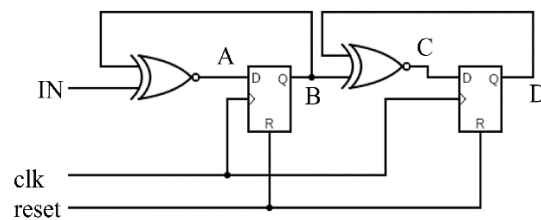
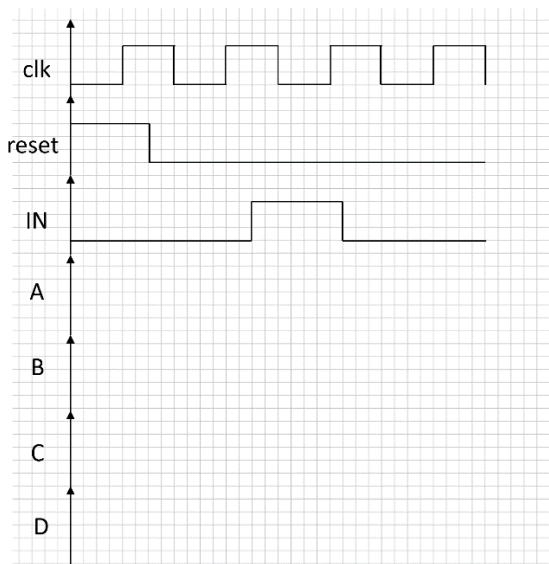
CANDIDATO:

n. matricola:

- 1) Un sistema antifurto domestico possiede un interruttore generale per abilitare allarme, sirene, telecamere e telefonare alla polizia nell'eventualità che almeno uno dei sei gruppi di sensori che compongono il sistema rilevi un'intrusione. In aggiunta sono disponibili interruttori separati per abilitare/disabilitare l'allarme, sirene e chiamata alla polizia. Se uno o più gruppi di sensori rilevano un'intrusione ed il sistema è abilitato, allora le uscite si abilitano in base all'uscita degli interruttori corrispondenti, altrimenti tutte le uscite sono pari a 0. Gli ingressi del sistema vanno indicati con i seguenti simboli: S_i con $i=0 \dots 5$ segnali dai sei gruppi di sensori (0 = intrusione rilevata, 1 = nessuna intrusione), M interruttore generale (0 = sistema abilitato, 1 = sistema disabilitato), A interruttore allarme (0 = sirena abilitata, 1 = sirena disabilitata), P interruttore chiamata (0 = chiamata abilitata, 1 = chiamata disabilitata), E allarme (0 = acceso, 1 = spento), L sirena (0 = acceso, 1 = spento), V telecamere (0 = spente, 1 = accese), C chiamata (0 = spento, 1 = acceso). Determinare una realizzazione di costo minimo utilizzando solo porte AND, OR e NOT, indicando tabella di verità ed equazioni.
- 2) Si descrivano le principali differenze che ci sono tra i componenti PAL e PLA. Si implementino poi, in modo efficiente, le seguenti funzioni logiche su un opportuno PAL.

$$\begin{aligned}
 W(A, B, C, D) &= \Sigma m(2,12,13) \\
 X(A, B, C, D) &= \Sigma m(7,8,9,10,11,12,13,14,15) \\
 Y(A, B, C, D) &= \Sigma m(0,2,3,4,5,6,7,8,10,11,15) \\
 Z(A, B, C, D) &= \Sigma m(1,2,8,12,13)
 \end{aligned}$$

- 3) Si descriva la struttura di un circuito in grado di effettuare l'operazione di somma o sottrazione in base ad un bit di selezione S (0 = operazione di somma, 1 = operazione di sottrazione).
- 4) Si descrivano le principali caratteristiche di un generico circuito sequenziale. Si traccino poi le forme d'onda prodotte dal seguente circuito in funzione degli ingressi applicati.



- 5) Si progetti un circuito in grado di riconoscere la sequenza 010101 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z. L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 01010 e l'ingresso corrente vale 1. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale (disegnare il dettaglio circuitale). Si utilizzi la codifica one-hot per assegnare codici agli stati e si utilizzino solo flip-flop di tipo D. Quanto vale il costo degli ingressi del circuito, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)?
Esempio di sequenza da riconoscere: X: 0 0 0 0 0 1 0 1 0 1 0 1
uscita Z: 0 0 0 0 0 0 0 0 0 1 0 1
- 6) Si progetti un contatore binario in avanti a 3 bit utilizzando solo flip-flop di tipo D. Utilizzare poi il contatore progettato per realizzare un contatore a 10 bit.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere la possibilità di effettuare lo scorrimento a destro o a sinistra in funzione del valore di un ingresso D. Si indichi come andrebbe modificato il codice per includere una porta di SET attiva alta con priorità superiore rispetto al segnale di RESET. Infine, includere un'uscita NOT_Q che contenga il complemento del contenuto della porta Q.

```

1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     shift <= "00000";
17:                 elsif(rising_edge(clk)) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);
23: end arch;

```