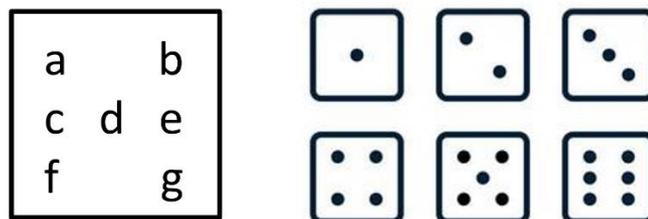


Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
24 febbraio 2023

CANDIDATO:

n. matricola:

- 1) Si progetti un sistema in grado di convertire una cifra espressa da codice BCD in codice Gray. Il sistema dovrà ricevere in ingresso un numero espresso in codifica BCD e proporre in uscita la codifica Gray corrispondente, insieme ad un'ulteriore uscita che indichi se la combinazione BCD posta in ingresso sia valida o meno (se la codifica è valida $V=1$, altrimenti $V=0$). Si ricavino le equazioni booleane minime e se ne calcoli il costo totale degli ingressi (considerando nullo il costo delle porte NOT). Si proponga poi un'implementazione dello stesso sistema utilizzando una opportuna memoria ROM, considerando però tutte le uscite, eccetto V, fisse ad 1 quando la combinazione BCD in ingresso non risulti valida.
- 2) Un gioco elettronico usa una matrice di sette diodi LED per rappresentare il risultato del lancio di un dado. Progettare un decodificatore 3-8 per accendere i LED corrispondenti alle sei configurazioni possibili illustrate in figura. Il decodificatore 3-8 dovrà essere abbinato opportunamente a delle porte OR per associare le combinazioni dei tre bit di ingresso X_2 , X_1 ed X_0 (da 001 a 110) alle uscite a, b, c, d, e, f, g. Considerare le combinazioni 000 e 111 come di non specificazione.



- 3) Si descriva la struttura base di un blocco logico programmabile, utilizzato all'interno dei dispositivi FPGA, evidenziando in dettaglio quali elementi logici vengono configurati tramite opportuni stream di bit.
- 4) Si progetti un circuito sequenziale che trasformi un messaggio di input in un nuovo messaggio di output secondo le seguenti specifiche: un segnale di reset asincrono imposta a 0 il valore iniziale del messaggio; se il messaggio di input contiene un'inversione da 0 a 1 oppure da 1 a 0, allora il corrispondente bit del messaggio in uscita sarà 0; se non si verifica alcuna inversione, il bit del messaggio di output sarà pari ad 1. Il circuito dovrà essere realizzato utilizzando la codifica one-hot e dovrà essere corredato da una rete in grado di individuare un eventuale malfunzionamento.
- 5) Si descriva in dettaglio la struttura ed il funzionamento di un registro a scorrimento bidirezionale a caricamento parallelo.
- 6) Si progetti un contatore sincrono che conti seguendo la sequenza 0 – 4 – 6 – 7 – 3 – 1. Il progetto dovrà essere di costo minimo ed effettuato utilizzando solo flip-flop JK. Si disegni il diagramma di stato, indicando anche cosa succederebbero qualora si presentassero in ingresso combinazioni considerate come condizioni di non specificazione in fase di progetto. Discutere

infine come andrebbero gestiti questi casi in funzione dell'applicazione in cui verrà utilizzato il dispositivo.

- 7) Si consideri il seguente codice VHDL che descrive un sommatore/sottrattore a 6 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per descrivere un sommatore/sottrattore sincrono con il fronte di salita del clock. Si indichi come andrebbe modificato il codice per aggiungere un'uscita che contenga lo stesso valore della porta A shiftato a destra di due posizioni. Infine, includere un'uscita OVF che indichi il verificarsi della condizione di overflow.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity addsub is
5:     port(
6:         A,B : in std_logic_vector(5 downto 0);
7:         sel : in std_logic;
8:         S   : out std_logic_vector(5 downto 0)
9:     );

10: end addsub;

11: architecture arch of addsub is
12:     signal res : signed(5 downto 0);

13:     begin
14:         with sel select
15:             res <= signed(A)+signed(B) when '0',
16:                 signed(A)+signed(not(B))+1 when '1',
17:                 "XXXXX" when others;

18:         S <= std_logic_vector(res(5 downto 0));

19: end arch;
```