

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
17 marzo 2023

CANDIDATO:

n. matricola:

- 1) Si progetti un sistema di controllo di un processo industriale. Il sistema ha come ingressi un sensore di disponibilità del materiale ($M=0$ materiale non disponibile, $M=1$ materiale disponibile), 7 sensori di pressione P_i con $i=0, \dots, 6$ ($P_i=0$ pressione corretta, $P_i=1$ pressione anomala), 4 sensori di temperatura T_y con $y=0, \dots, 3$ ($T_y=1$ temperatura corretta, $T_y=0$ temperatura anomala), A abilitazione sistema ($A=1$ sistema abilitato, $A=0$ sistema disabilitato). Le uscite del sistema sono lavorazione attiva ($L=1$ la lavorazione è attiva, $L=0$ la lavorazione non è attiva) e sirena ($S=1$ sirena attiva, $S=0$ sirena non attiva). L'abilitazione A attiva il sistema e la lavorazione viene attivata se e solo se è disponibile il materiale e tutte le pressioni e temperature rilevate sono corrette. Se il sistema è abilitato ed almeno uno dei sensori rileva un'anomalia, la lavorazione deve essere fermata e la sirena viene attivata. In tutte le altre condizioni il sistema non avvia la lavorazione e la sirena non è abilitata. Si proponga un'implementazione di costo minimo del sistema calcolando anche il costo totale degli ingressi.

- 2) Si semplifichi la seguente espressione booleana indicando teoremi/proprietà ed identità utilizzati. Una volta ricavata la forma minima, implementarla con un opportuno multiplexer di costo minimo.

$$F = \bar{A} \bar{B} \bar{C} \bar{D} + \bar{A} \bar{B} \bar{C} + B\bar{C}D + BCD + \bar{A}BD + ABD + A\bar{B}CD + \bar{A}BC\bar{D}$$

- 3) Si descriva in dettaglio il funzionamento di un buffer a tre stati. Si descriva poi come andrebbe progettato un multiplexer 2-1.
- 4) Un circuito sequenziale va riprogettato in modo da ridurre il costo. Il circuito da riprogettare è descritto dalle seguenti equazioni:

$$\begin{aligned}D_A &= A\bar{X} + B\bar{X} \\D_B &= \bar{A}X \\D_C &= B\bar{C}X + \bar{A}\bar{B}\bar{C}\bar{X} \\Z &= B\end{aligned}$$

Dove A, B e C sono i bit di stato (A è il bit di peso più significativo), X è l'ingresso e Z l'uscita e le codifiche 101, 110 ed 111 non sono state utilizzate. Il circuito deve essere riprogettato in modo da essere a costo minimo ed utilizzando solo flip-flop di tipo D. Calcolare il costo degli ingressi del circuito originale e del circuito riprogettato considerando il costo del singolo flip-flop pari a 14.

- 5) Si progetti un generatore di parità dispari seriale. Il circuito riceve in input due segnali X ed Y. Il segnale X indica, ad ogni istante di clock, il valore del bit del messaggio, mentre Y vale 0 per tutta la durata del messaggio, tranne che in corrispondenza dell'ultimo bit del messaggio. L'uscita Z indica il valore della parità dispari in corrispondenza dei bit inseriti fino a quel momento. Si progetti il circuito utilizzando solo flip-flop di tipo D e la codifica one-hot. Si preveda anche la presenza di un segnale di reset asincrono. Calcolare il costo totale del circuito considerando che il costo del singolo flip-flop sia pari a 14.

- 6) Si descrivano struttura e funzionamento di un registro a caricamento parallelo con possibilità di scorrimento dati verso una sola direzione.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 6 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere un segnale di enable attivo basso. Si indichi come andrebbe modificato il codice per aggiungere un'uscita che indichi la presenza di un numero pari all'interno del registro. Infine, includere un ingresso D che permetta di scegliere la direzione di shift (D=0 shift a destra, D=1 shift a sinistra).

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     shift <= "00000";
17:                 elsif(rising_edge(clk)) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);
23:         end arch;
```