

Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
17 luglio 2023

CANDIDATO:

n. matricola:

- 1) Si descrivano struttura e caratteristiche di una memoria ROM. Data una ROM 256 X 4 con ingresso di abilitazione, si progetti una memoria ROM 768 X 8 utilizzando un numero opportuno di chip ed un decodificatore.
- 2) Si descrivano la struttura e le caratteristiche principali di un Programmable Logic Array (PLA). Si utilizzi poi un opportuno PLA per realizzare le seguenti funzioni booleane:

$$\begin{aligned}F_1 &= \sum m(0,2,4) \\F_2 &= \sum m(2,4,6) \\F_3 &= \sum m(0,1,6,7)\end{aligned}$$

- 3) Si descrivano le caratteristiche ed il funzionamento di un buffer a tre stati. Descrivere poi come sia possibile utilizzare questi dispositivi per la costruzione di una porta di ingresso bidirezionale.
- 4) Si progetti un circuito in grado di riconoscere la sequenza 0110 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z. L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 011 e l'ingresso corrente vale 0. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale. Si realizzi il progetto sia in codifica Gray che in codifica one-hot, utilizzando solo flip-flop di tipo D. Quanto vale il costo degli ingressi dei due circuiti, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)?  
Esempio di sequenza da riconoscere: X: 0 0 0 0 1 1 0 1 1 0 1 0  
uscita Z: 0 0 0 0 0 0 1 0 0 1 0 0
- 5) Si progetti un contatore Gray modulo 10 utilizzando solo flip-flop JK. Si considerino le combinazioni non utilizzate come stati di non specificazione. Disegnare il diagramma degli stati, indicando cosa accadrebbe qualora si presentassero in uscita le combinazioni considerate come condizioni di non specificazione. Si calcoli il costo totale del circuito considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT).
- 6) Si descrivano struttura e funzionamento dei due principali tipi di latch. Si modifichi poi il latch SR per includere un segnale di controllo C. Modificare, infine, il circuito per ottenere un latch D.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere un segnale di ENABLE attivo alto. Si indichi come andrebbe modificato il codice per aggiungere una porta D che permetta di scegliere la direzione dello shift (se D=0 shift verso destra, altrimenti shift verso sinistra). Infine, includere un ingresso SET con priorità maggiore rispetto all'ingresso di RESET.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );
9:
10: end sr5;

11: architecture arch of sr5 is
12:     signal shift : std_logic_vector(4 downto 0);
13:     begin
14:         process(clk,reset)
15:             begin
16:                 if(reset='1') then
17:                     shift <= "00000";
18:                 elsif(rising_edge(clk)) then
19:                     shift <= shift(3 downto 0) & si;
20:                 end if;
21:             end process;
22:             Q <= shift;
23:             so <= shift(4);
24:         end arch;
```