

Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
11 settembre 2023

CANDIDATO:

n. matricola:

- 1) Si progetti un sistema di autenticazione biometrica che rispetti le seguenti specifiche. Il sistema ha come ingressi un sensore per il riconoscimento dell'iride (I=0 iride non riconosciuta, I=1 iride riconosciuta), un sensore per le impronte digitali D (D=1 impronta non riconosciuta, D=0 impronta riconosciuta), un sensore per rilevare i lineamenti del volto (V=0 volto non riconosciuto, V=1 volto riconosciuto) ed un pulsante P per chiedere l'apertura di una cassaforte (P=0 pulsante non premuto, P=1 pulsante premuto). Il sistema dovrà rispettare le seguenti specifiche. La cassaforte viene aperta se e solo se tutti i sensori riconoscono correttamente la persona e viene premuto il pulsante (C=0 cassaforte aperta, C=1 cassaforte chiusa). Se il pulsante viene premuto quando almeno uno dei sensori non ha riconosciuto la persona, allora viene attivato l'allarme A (A=0 allarme non attivo, A=1 allarme attivo). In tutti gli altri casi la cassaforte resta chiusa e non viene attivato l'allarme. Si proponga un'implementazione a costo minimo del sistema, calcolando anche il costo. Si progetti poi il sistema con un opportuno multiplexer.
- 2) Si descrivano la struttura ed il funzionamento di una Look Up Table (LUT) a 2 ingressi. Si progetti poi una LUT a 4 ingressi utilizzando solo LUT a 2 ingressi e multiplexer 2-1. Con la LUT progettata si realizzi poi la funzione booleana:

$$F = AB + CD + AD + A\bar{C} + BD$$

- 3) Si descrivano il funzionamento e le caratteristiche di un encoder. Si progetti poi un encoder con 4 ingressi e priorità all'ingresso con peso maggiore (indicare la tabella di verità e le mappe di Karnaugh). Il circuito deve prevedere anche un'uscita V che indichi quando almeno uno degli ingressi è posto a valore logico alto.
- 4) Progettare un circuito in grado di convertire una sequenza arbitraria di bit in complemento a 2. All'ingresso X del circuito viene fornita una sequenza binaria di lunghezza arbitraria, a partire dal bit meno significativo. Quando un bit si presenta all'ingresso X, il corrispondente bit la sequenza binaria in complemento a 2 deve apparire immediatamente all'uscita Z. Per indicare che la sequenza è completa e che il circuito deve essere reinizializzato per ricevere un'altra sequenza, un altro ingresso Y diventa 1, mentre in tutti gli altri casi Y=0. Costruire il diagramma di stato con il formalismo di Mealy, la tabella di stato e realizzare il circuito adottando la codifica one-hot. Calcolare il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.
- 5) Si progetti un contatore in complemento a 2 in grado di contare da -5 a 4, utilizzando il minor numero di bit possibile. Si considerino le eventuali combinazioni non utilizzate in fase di progetto come condizioni di non specificazione. Si realizzi il progetto utilizzando solo flip-flop di tipo D. Si ricavino le equazioni booleane in forma minima e si calcoli il costo degli ingressi, assumendo che il costo di un singolo flip-flop sia pari a 14. Si disegni poi il diagramma di stato, indicando cosa accadrebbe anche in presenza delle combinazioni considerate come condizioni di non specificazione in fase di progetto.

- 6) Si descrivano le caratteristiche di un generico circuito sequenziale, evidenziando quali elementi sono sempre presenti e quali invece possono essere omessi.
- 7) Si consideri il seguente codice VHDL che descrive una ALU. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere un segnale di ENABLE attivo alto. Si indichi come andrebbe modificato il codice per aggiungere una porta ovf che indichi il verificarsi della condizione di ovf, ove possibile (negli altri casi l'uscita dovrà essere impostata a don't care). Infine, includere un ingresso SET con priorità maggiore rispetto all'ingresso di RESET e che imposti tutti i bit dell'uscita ad 1.

```

1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity ALU is
5:     port (
6:         A,B : in std_logic_vector (3 downto 0);
7:         op : in std_logic_vector (1 downto 0);
8:         clk, reset : in std_logic;
9:         R : out std_logic_vector (3 downto 0)
10:    );
11: end ALU;

12: architecture arch of ALU is
13:     signal res : std_logic_vector(3 downto 0);
14:     begin
15:         process(clk, reset)
16:             if(reset='1') then
17:                 res<="0000"
18:             elsif(rising_edge(clk)) then
19:                 if(op="00")then
20:                     res <= std_logic_vector(unsigned(A)+unsigned(B));
21:                 elsif(op="01") then
22:                     res<= std_logic_vector(signed(A)+signed(NOT(B))+1);
23:                 elsif(op= "01") then
24:                     res<= A AND B;
25:                 else
26:                     res<=A OR B;
27:                 end if;
28:             end if;
29:         end process;
30:         R<=res;
31: end arch;

```