

Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
25 settembre 2023

CANDIDATO:

n. matricola:

- 1) Si semplifichi la seguente espressione booleana, indicando chiaramente teoremi, proprietà e/o identità utilizzati. Si proponga poi l'implementazione della funzione semplificata utilizzando solo porte NAND e solo porte NOR. Supponendo che il ritardo di propagazione di una porta NAND sia 0,2 ns e quello di una porta NOR 0,3 ns, calcolare il tempo di propagazione dei due circuiti.

$$Y = (\overline{A + B + C})D + AD + B$$

- 2) Si progetti un full-adder, ricavando la tabella di verità, le mappe di Karnaugh e le espressioni algebriche. Utilizzare poi il full-adder come blocco elementare per progettare un sottrattore a N bit con riporto. Applicare poi la tecnica della contrazione per progettare un circuito "decrementa di 14" su un numero minimo di bit senza riporto in uscita.
- 3) Si descrivano i principali parametri tecnologici da considerare nel progetto di un sistema digitale, indicando chiaramente il loro impatto sul circuito finale.
- 4) Progettare un circuito sequenziale con due ingressi A e B ed un'uscita Z. All'n-esimo ciclo di clock l'uscita  $Z_n$  deve essere l'AND oppure l'OR del valore di ingresso  $A_n$  allo stesso ciclo di clock e del valore di ingresso  $A_{n-1}$  al ciclo precedente, a seconda del valore dell'ingresso  $B_n$ :

$$\begin{aligned} Z_n &= A_n \text{ AND } A_{n-1} & \text{se } B_n = 0 \\ Z_n &= A_n \text{ OR } A_{n-1} & \text{se } B_n = 1 \end{aligned}$$

Nel caso iniziale ( $n=0$ ), l'operazione indicata dall'ingresso  $B_0$  dovrà essere effettuata tra  $A_0$  e la costante 0 (gestire questa specifica in modo opportuno, con il segnale di reset, del quale andrà anche disegnato il dettaglio circuitale).

Il Sistema dovrà essere progettato adottando la codifica one-hot e flip-flop di tipo D (disegnare il dettaglio circuitale del segnale di reset). Calcolare il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.

- 5) Un circuito sequenziale va riprogettato per ridurre il costo. Il circuito da riprogettare è descritto dalle seguenti equazioni:

$$\begin{aligned} D_A &= BC + B\bar{X} + AC\bar{X} + A\bar{B}\bar{C}X \\ D_B &= \bar{B}\bar{C}\bar{X} + \bar{A}\bar{B}\bar{X} + \bar{A}B\bar{C}X \\ D_C &= A + BX + \bar{C}X \\ Z &= A + \bar{B} + C \end{aligned}$$

Dove A, B e C sono i bit di stato (A è il bit di peso più significativo), X è l'ingresso e Z l'uscita e la codifica 111 non è stata utilizzata. Il circuito deve essere riprogettato in modo da essere di costo minimo, utilizzando solo flip-flop di tipo D. Si calcoli il costo degli ingressi del circuito originale e di quello riprogettato, considerando il costo del singolo flip-flop pari a 14.

- 6) Si descrivano e si confrontino le principali caratteristiche dei contatori binari in cascata e sincroni.

- 7) Si consideri il seguente codice VHDL che descrive un contatore a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere un segnale di ENABLE attivo basso. Si indichi come andrebbe modificato il codice per realizzare un contatore modulo 29. Infine, includere un ingresso SET con priorità minore rispetto all'ingresso di RESET e che imposti tutti i bit dell'uscita ad 1.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity cnt5 is
5:     port(
6:         clk, reset : in std_logic;
7:         Q : out std_logic_vector(4 downto 0);
8:         co : out std_logic
9:     );

10: end cnt5;

11: architecture arch of cnt5 is
12:     signal count : unsigned(4 downto 0);
13:     begin
14:         process(clk,reset)
15:             begin
16:                 if(reset='1') then
17:                     count <= "00000";
18:                 elsif(rising_edge(clk)) then
19:                     count <= count + "00001";
20:                 end if;
21:             end process;
22:             Q <= std_logic_vector(count(4 downto 0));
23:             co <= '1' when std_logic_vector(count(4 downto 0))="11111" else
24:                 '0';
25:         end arch;
```