

Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
24 novembre 2023

CANDIDATO:

n. matricola:

- 1) Si semplifichi la seguente espressione booleana indicando chiaramente identità, proprietà e/o teoremi utilizzati. Si propongano poi due diverse implementazioni della funzione semplificata, la prima utilizzando un multiplexer e la seconda con un decodificatore, entrambi a costo minimo.

$$F = \overline{X + \overline{X}Y + \overline{X}Y} + \overline{X + \overline{Y}} + YZ + \overline{X}Y\overline{Z} + Y\overline{Z}$$

- 2) Si progetti una rete combinatoria a costo minimo in grado di ricevere in input un numero a 4 bit rappresentato in eccesso 8 e fornire in output il corrispondente valore espresso in complemento a 2. Si proponga una versione alternativa del circuito adottando la tecnica della contrazione ad un opportuno circuito di partenza.
- 3) Si descrivano le generiche fasi di progetto di un sistema digitale. Si evidenzi come la complessità del progetto vada ad influenzare le diverse fasi.
- 4) Si realizzi un circuito in grado di inviare ciclicamente ad un sistema di monitoraggio i segnali acquisiti da 5 differenti sensori, secondo questa sequenza:

$$V_0V_1V_1V_1V_2V_3V_4V_4V_4V_3V_3V_2V_3V_2V_1V_4$$

Il circuito dovrà essere realizzato utilizzando solo flip-flop di tipo D ed altri opportuni circuiti combinatori.

- 5) Si progetti un contatore in complemento a 2 in grado di contare da -4 a 6 utilizzando solo flip-flop di tipo JK. Si considerino gli stati non utilizzati come condizione di non specificazione. Si disegni il diagramma di stato andando ad indicare anche cosa succederebbe qualora si presentassero degli stati definiti come condizioni di non specificazione in fase di progetto. Si calcoli il costo degli ingressi, assumendo che il costo di un flip-flop sia pari a 14.
- 6) Si descrivano struttura e funzionamento di un contatore binario ad incremento-decremento.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere un segnale di ENABLE attivo basso. Si indichi come andrebbe modificato il codice per aggiungere una porta DIR che indichi in quale direzione effettuare lo shift. Infine, includere un ingresso SET con priorità maggiore rispetto all'ingresso di RESET e che imposti tutti i bit dell'uscita ad 1.

1: [library ieee;](#)

2: [use ieee.std\\_logic\\_1164.all;](#)

```

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     shift <= "00000";
17:                 elsif(rising_edge(clk) ) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);

23: end arch;

```