

Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
22 febbraio 2024

CANDIDATO:

n. matricola:

- 1) Si progetti un circuito combinatorio in grado di convertire numeri binari espressi in codice Gray su 4 bit in numeri binari espressi in codice BCD, imponendo che tutte le combinazioni di ingresso non valide producano tutti 1 in ciascuna delle uscite. Supponendo che tutte le porte logiche abbiano un ritardo di 3 ns, calcolare il ritardo di propagazione del circuito. Calcolare il costo totale degli ingressi.
- 2) Si descrivano le strutture dei principali dispositivi ROM, PAL e PLA. Si realizzino poi, con un opportuno dispositivo PAL, le seguenti funzioni booleane:

$$\begin{aligned}W(A, B, C, D) &= \Sigma m(2, 12, 13) \\Y(A, B, C, D) &= \Sigma m(0, 2, 3, 4, 5, 6, 7, 8, 10, 11, 15) \\Z(A, B, C, D) &= \Sigma m(1, 2, 8, 12, 13)\end{aligned}$$

- 3) Si descrivano il funzionamento e le caratteristiche di un encoder. Si progetti poi un encoder con 4 ingressi e priorità all'ingresso con peso minore (indicare la tabella di verità e le mappe di Karnaugh). Il circuito deve prevedere anche un'uscita V che indichi quando almeno uno degli ingressi è posto a valore logico alto.
- 4) Un circuito sequenziale va riprogettato per ridurre il costo. Il circuito da riprogettare è descritto dalle seguenti equazioni:

$$\begin{aligned}D_A &= BC\bar{X} \\D_B &= A\bar{C} + B\bar{C} + \bar{C}X + \bar{B}X \\D_C &= AX + BX + \bar{A}\bar{B}\bar{C}\bar{X} \\Z &= A + B\bar{C}\end{aligned}$$

Dove A, B e C sono i bit di stato (A è il bit di peso più significativo), X è l'ingresso e Z l'uscita e le codifiche 101, 110 e 111 non sono state utilizzate. Il circuito deve essere riprogettato in modo da essere di costo minimo, utilizzando solo flip-flop di tipo D. Si calcoli il costo degli ingressi del circuito originale e di quello riprogettato, considerando il costo del singolo flip-flop pari a 14.

- 5) Si progetti un contatore che esegua il conteggio all'indietro da 5 a -2, rappresentando i numeri in complemento a 2 su un numero minimo di bit. Si esegua il progetto utilizzando solamente flip-flop JK, considerando gli stati non utilizzati in fase di progetto come condizioni di non specificazione. Si calcoli il costo degli ingressi, supponendo che il costo di ogni flip-flop sia pari a 14. Indicare infine come cambierebbero le equazioni se i flip-flop fossero sensibili al fronte di discesa del clock invece che sul fronte di salita.
- 6) Si descrivano la struttura ed il funzionamento di un registro a caricamento parallelo con possibilità di scorrimento dati verso un'unica direzione.
- 7) Si consideri il seguente codice VHDL che descrive un contatore a 6 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere un

segnale di ENABLE attivo basso. Si indichi come andrebbe modificato il codice per aggiungere una porta SET con priorità maggiore rispetto al RESET che inizializzi il contenuto del registro con il valore contenuto in una porta INIT. Infine, includere un'uscita M che indichi la presenza di un multiplo di 4 all'interno del contatore.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity cnt6 is
5:     port(
6:         clk, reset : in std_logic;
7:         Q : out std_logic_vector(5 downto 0);
8:         co : out std_logic
9:     );

10: end cnt6;

11: architecture arch of cnt6 is
12:     signal count : unsigned(5 downto 0);
13:     begin
14:         process(clk,reset)
15:             begin
16:                 if(reset='1') then
17:                     count <= "000000";
18:                 elsif(rising_edge(clk)) then
19:                     count <= count + "000001";
20:                 end if;
21:             end process;
22:             Q <= std_logic_vector(count(5 downto 0));
23:             co <= '1' when std_logic_vector(count(4 downto 0))="1111" else
24:                 '0';
25:         end arch;
```