

Prova d'esame di  
RETI LOGICHE (Prof. E. Torti)  
Lauree in Ing. Elettronica e Informatica DM 270  
19 luglio 2024

CANDIDATO:

n. matricola:

- 1) Si progetti un sistema in grado di calcolare il valore medio tra due numeri A e B espressi in complemento a 2. Il numero A può assumere valori nel range  $[-5;3]$  mentre il numero B nel range  $[-36;2]$ . Partendo dal circuito realizzato, si progetti un nuovo circuito nel quale al valore A viene sostituito il valore costante -3. Calcolare il ritardo di propagazione del circuito finale assumendo che ogni porta logica abbia un ritardo pari a 3 ns.
- 2) Si progetti il sistema di controllo di un'impastatrice automatica per pizza. L'impastatrice è dotata di 6 sensori di umidità  $U_i$  con  $i=0, \dots, 5$  ( $U_i=0$  umidità normale,  $U_i=1$  umidità anomala), 4 sensori di temperatura  $T_y$  con  $y=0, \dots, 3$  ( $T_y=1$  temperatura corretta,  $T_y=0$  temperatura anomala), un sensore F ( $F=1$  farina corretta,  $F=0$  farina insufficiente), un sensore A per l'acqua ( $A=0$  acqua corretta,  $A=1$  acqua insufficiente), un sensore per il lievito ( $L=0$  lievito corretto,  $L=1$  lievito insufficiente) ed un sensore per il sale ( $S=1$  sale corretto,  $S=0$  sale insufficiente). L'impastatrice avvia la lavorazione quando viene premuto un tasto P (se  $P=1$  lavorazione avviata) e temperatura ed umidità sono corrette e gli ingredienti sono presenti nella macchina. La lavorazione viene avviata ponendo il valore logico 1 sul controllo del motore M. Se il tasto P viene premuto in un momento in cui non sono presenti gli ingredienti oppure umidità e temperatura non sono corrette, la lavorazione non viene avviata. Inoltre, se viene premuto P ed almeno una tra umidità e temperatura non sono corrette, viene azionata una spia K ( $K=1$  spia accesa,  $K=0$  spia spenta). Si progetti il circuito a costo minimo di controllo del motore e della spia e si indichi il costo degli ingressi.
- 3) Si descriva nel dettaglio la struttura di una FPGA, confrontando le diverse metodologie per effettuare la configurazione delle risorse logiche.
- 4) Si progetti un circuito sequenziale per la gestione di una lavatrice automatica. La lavatrice è descritta dai seguenti stati, che in quest'ordine rappresentano un ciclo completo di lavaggio: idle (inattivo), load (carico), wash (lavaggio), rinse (risciacquo), spin (centrifuga), done (completato). Il sistema resta in idle finché l'ingresso start vale 0. Non appena vale 1 il sistema inizia ad attraversare gli stati in modo ordinato, anche qualora il segnale di start tornasse a valere 0. Il sistema attende in load finché l'ingresso della valvola di carico/scarico non vale 1. Il segnale della valvola dovrà restare ad 1 finché non si raggiunge lo stato done, dove rimarrà il sistema finché l'ingresso della valvola non varrà 0. Se in qualsiasi stato diverso da idle e done la valvola dovesse valere 0, il sistema dovrà tornare in load. Si progetti il sistema utilizzando solo flip flop di tipo D e la codifica one-hot. Indicare come viene gestito il reset del sistema e ricavare il costo totale degli ingressi, assumendo che il costo di un singolo flip-flop sia pari a 14.
- 5) Si progetti un contatore all'indietro in codifica Gray su 3 bit utilizzando solo flip-flop di tipo JK. Indicare come vengono collegati gli ingressi di reset e si calcoli il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.
- 6) Facendo riferimento ad un generico registro, si descriva la tecnica del clock gating, evidenziandone i limiti e come questi possano essere risolti.

- 7) Si consideri il seguente codice VHDL che descrive uno shift register. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere un segnale di ENABLE attivo altro. Si indichi come andrebbe modificato il codice per aggiungere una porta DIR per scegliere la direzione in cui effettuare lo shift. Infine, includere un'uscita P che indichi la presenza di un numero pari all'interno del registro.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     shift <= "00000";
17:                 elsif(rising_edge(clk)) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);
23: end arch;
```