

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
10 settembre 2024

CANDIDATO:

n. matricola:

- 1) Si progetti un circuito in grado di confrontare due numeri binari di 16 bit ciascuno, in grado di produrre un'uscita a 3 bit che indichi 000 se il primo numero è uguale al secondo e 101 se il primo numero è diverso del secondo. Si adotti la progettazione gerarchica, iniziando ad ottenere un comparatore a 4 bit da un comparatore a singolo bit. Applicare iterativamente la tecnica della progettazione gerarchica per ottenere comparatori a 8 e 16 bit e produrre il risultato finale. Si indichino chiaramente le tabelle di verità e le equazioni booleane per ogni blocco prodotto nel processo di progettazione gerarchica. Indicare infine come debbano essere connessi i blocchi per realizzare la funzione richiesta. Supponendo che il tempo di propagazione di ogni porta logica sia pari a 3 ns, calcolare il tempo di propagazione totale, considerando di avere a disposizione, in ingresso, sia la forma diretta che la forma negata delle parole A e B.
- 2) Si progetti un circuito in grado di eseguire la differenza tra due numeri interi A e B rappresentati in complemento a 2 su un numero minimo di bit, sapendo che il numero A assume valori nel range [-7; 4] ed il numero B [0, 3]. Si applichi poi la tecnica della contrazione assumendo che il valore di A sia fisso a -3.
- 3) Si descrivano i parametri tecnologici utilizzati per descrivere le caratteristiche di una famiglia di porte logiche, indicando l'impatto di ciascun parametro sul progetto finale di un circuito complesso.
- 4) Si progetti un circuito logico sequenziale che riceve in ingresso, ad ogni periodo di clock una coppia di bit A e B. Il circuito, ad ogni istante n dovrà produrre un'uscita Z che rispetti la seguente specifica:

$$\begin{aligned} Z_n &= \overline{A_{n-1} \oplus A_n} \quad \text{se } B_n = 0 \\ Z_n &= \overline{A_{n-1} A_n} \quad \text{se } B_n = 1 \end{aligned}$$

Il progetto dovrà essere realizzato adottando sia la codifica Gray che la codifica one-hot. Si calcolino i costi di entrambi i progetti assumendo che ogni flip-flop abbia un costo pari a 14.

- 5) Si realizzi un contatore a 17 bit utilizzando solo contatori a 4 bit. Si riportino le equazioni del contatore a 4 bit realizzato utilizzando solo flip flop di tipo D e lo schema del circuito complessivo. Il circuito dovrà essere dotato di segnale di enable e di reset asincrono.
- 6) Si descrivano le diverse tipologie di ingressi diretti presenti nei circuiti sequenziali, sottolineandone la funzione svolta e l'utilità.
- 7) Si consideri il seguente codice VHDL che descrive una ALU a 4 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta che indichi il verificarsi della condizione di overflow. Si indichi come andrebbe

modificato il codice per rendere la ALU sincrona. Infine, includere un'uscita D che indichi la presenza di un numero dispari all'interno del risultato dell'operazione selezionata.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity ALU is
5:     port (
6:         A,B : in std_logic_vector(3 downto 0);
7:         op : in std_logic_vector (1 downto 0);
8:         R : out std_logic_vector (3 downto 0)
9:     );
10: end ALU;

11: architecture arch of ALU is

12:     begin
13:         with op select
14:             R <= std_logic_vector(unsigned(A)+unsigned(B)) when "00",
15:                std_logic_vector(signed(A)+signed(NOT(B))+1) when "01",
16:                A AND B when "10",
17:                A OR B when "11",
18:                "XXXX" when others;

19: end arch;
```