

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
20 febbraio 2025

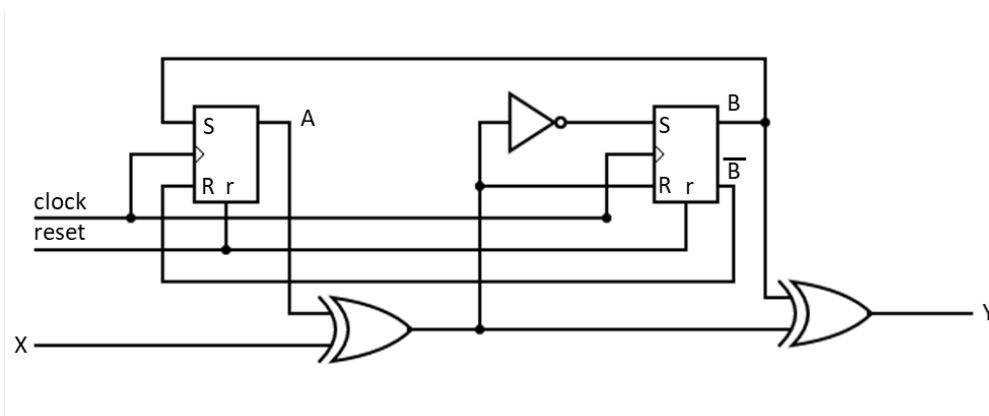
CANDIDATO:

n. matricola:

- 1) Si progetti un sistema di monitoraggio del flusso luminoso in due camere. La prima camera è monitorata da un sensore che acquisisce nel range $[-2;4]$ lumen con risoluzione di 0,5 lumen mentre la seconda camera è monitorata da un sensore che acquisisce nel range $[-3;6]$ lumen con risoluzione di 1 lumen. Si progetti un sistema in grado di indicare quando la luminosità della prima stanza è maggiore o uguale alla luminosità della seconda stanza. Si indichi poi come andrebbe modificato il progetto per indicare solamente che la luminosità delle due stanze è la stessa.
- 2) La progettazione di un circuito logico combinatorio spesso viene effettuata a partire da blocchi logici che realizzano funzioni elementari. Si indichino e descrivano i principali blocchi logici che possono essere utilizzati per realizzare funzioni booleane arbitrarie. Si realizzi poi la seguente funzione booleana utilizzando, in tutti i modi possibili, i blocchi descritti.

$$F = \Pi M(0,3,6,7)$$

- 3) L'implementazione tecnologica di un progetto è una fase cruciale nella realizzazione di un dispositivo digitale. Si indichino le principali implementazioni tecnologiche, motivando adeguatamente la risposta, e si descrivano i vari passi da seguire nei vari casi. Quale delle implementazioni indicate risulta, ad oggi, essere quella predominante e perché?
- 4) Si realizzi un sistema in grado di gestire una raviolatrice automatica. Il dispositivo produce, ad ogni istante discreto di tempo, 4 ravioli, da confezionare in scatole da 24 ravioli ciascuna. Si progetti un circuito in grado di generare un impulso di valore logico alto ogni volta che vengono prodotti 24 ravioli. Inoltre, dovranno essere prodotte delle uscite binarie che indichino il numero di ravioli prodotti per la scatola attualmente in confezionamento (le uscite dovranno ciclicamente valere 4, 8, 12, ..., 24). Si realizzi il circuito a costo minimo utilizzando solo flip-flop di tipo D. Si calcoli poi il costo del sistema assumendo che ogni flip-flop abbia un costo pari a 14.
- 5) Il circuito sequenziale in figura è composto da due flip-flop SR, un ingresso X ed un'uscita Y. Si ricavino le equazioni del circuito, la tabella di stato ed il diagramma di stato.



- 6) Si descrivano le fasi principali del progetto di un sistema sequenziale. Si descrivano in particolare quali sarebbero gli effetti sul circuito finale qualora queste fasi non venissero svolte correttamente.
- 7) Si consideri il seguente codice VHDL che descrive un sommatore a 4 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di uscita che indichi il verificarsi della situazione di overflow. Modificare poi il codice per rendere il sommatore sincrono. Infine, si aggiunga una porta di uscita che permetta di rilevare la presenza di un numero pari nel risultato.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity addsub is
5:     port(
6:         A,B : in std_logic_vector(3 downto 0);
7:         sel : in std_logic;
8:         S   : out std_logic_vector(3 downto 0)
9:     );

10: end addsub;

11: architecture arch of addsub is
12:     signal res : signed(3 downto 0);

13:     begin
14:         with sel select
15:             res <= signed(A)+signed(B) when '0',
16:                 signed(A)+signed(not(B))+1 when '1',
17:                 "XXXX" when others;

18:         S <= std_logic_vector(res(3 downto 0));

19: end arch;
```