

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
 Lauree in Ing. Elettronica e Informatica DM 270
 28 marzo 2025

CANDIDATO:

n. matricola:

- 1) Si semplifichi la seguente espressione booleana, indicando quali teoremi, identità e/o proprietà sono stati utilizzati. Si implementi poi la funzione semplificata in due modi diversi, facendo uso di un multiplexer a costo minimo e di un decodificatore.

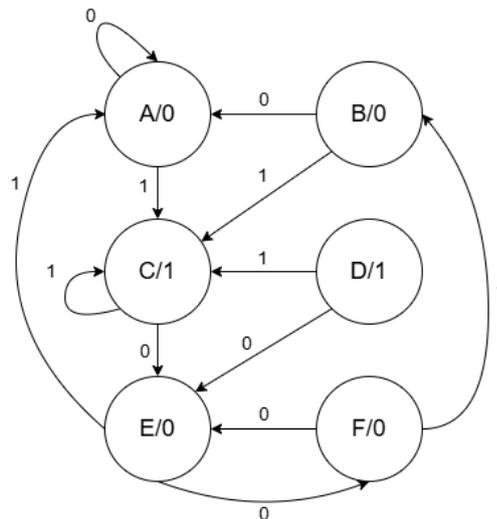
$$F = \overline{A + \overline{A}B + \overline{A}\overline{B}} + \overline{A + \overline{B}} + C(A + \overline{A}BC)$$

- 2) Si descriva la struttura di un generico dispositivo PAL, evidenziandone le utilità applicative. Si realizzino poi le seguenti funzioni booleane utilizzando un opportuno dispositivo PAL.

$$A = \overline{X}Y + ZK + XY\overline{Z}K + X\overline{Y}Z + XYZ\overline{K}$$

$$B = \overline{X}Y + Y\overline{Z}K + YZ\overline{K} + X\overline{Y}Z$$

- 3) Si descrivano le principali tecniche di semplificazione di circuiti logici, evidenziando per ciascuna quando può essere utilizzata e le eventuali limitazioni.
- 4) Si consideri il diagramma di stato sotto riportato. Si semplifichino eventuali stati equivalenti e si realizzi un circuito a costo minimo utilizzando solo flip-flop di tipo D. Si calcoli poi il costo degli ingressi assumendo che ogni flip-flop abbia un costo pari a 14. Si disegni infine il nuovo diagramma di stato indicando cosa accadrebbe qualora si presentassero come stato presente combinazioni considerate come condizione di non specificazione.



- 5) Si progetti un contatore in codifica Gray a 4 bit utilizzando solo flip-flop D. Si calcoli il costo del circuito assumendo che ogni flip-flop abbia un costo pari a 14. Si modifichino poi le equazioni in modo da aggiungere un segnale di abilitazione attivo basso che blocchi il conteggio allo stato attuale quando ENABLE = 1. Come cambierebbe il progetto se i flip-flop fossero sensibili al fronte di discesa anziché al fronte di salita?

- 6) Si descrivano struttura e funzionamento dei principali tipi di latch, indicando come sia possibile superare eventuali limitazioni dei circuiti base.
- 7) Si consideri il seguente codice VHDL che descrive un codificatore con priorità. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per dare priorità all'ingresso con peso minore invece che all'ingresso con peso maggiore. Si indichi come andrebbe modificato il codice per aggiungere una porta ALL_ONE che indichi la presenza della codifica 1111 in ingresso. Infine, includere un'uscita CNT che indichi su 4 bit quante volte l'ingresso D(3) è stato posto pari ad 1.

```

1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity cod_p is
4:     port(
5:         D : in std_logic_vector(3 downto 0);
6:         X : out std_logic_vector(1 downto 0);
7:         V : out std_logic
8:     );
9: end cod_p;

10: architecture arch of cod_p is
11: begin
12:     process(D)
13:     begin
14:         if D(3) = '1' then
15:             X <= "11";
16:             V <= '1';
17:         elsif D(2) = '1' then
18:             X <= "10";
19:             V <= '1';
20:         elsif D(1) = '1' then
21:             X <= "01";
22:             V <= '1';
23:         elsif D(0) = '1' then
24:             X <= "00";
25:             V <= '1';
26:         else
27:             X <= "--";
28:             V <= '0';
29:         end if;
30:     end process;
31: end arch;

```