

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270 e DM 509
24 giugno 2025

CANDIDATO:

n. matricola:

- 1) Si progetti il sistema di gestione di un impianto per il controllo della qualità dell'acqua. L'impianto è dotato di 7 sensori di salinità S_i con $i = 0, \dots, 6$ ($S_i=1$ salinità corretta, $S_i=0$ altrimenti) e 5 sensori di presenza di pesticidi P_j con $j = 0, \dots, 4$ ($P_j=0$ assenza di pesticidi, $P_j=1$ presenza di pesticidi). Il sistema è inoltre dotato di un ingresso di abilitazione A attivo alto e di un ingresso L che indica la richiesta o meno di acqua ($L=1$ acqua richiesta, $L=0$ acqua non richiesta). Le uscite del sistema sono l'erogazione di acqua E ($E=1$ erogazione in corso, $E=0$ acqua non erogata) e un indicatore di pericolo B ($B=1$ presenza di pericolo, $B=0$ nessun pericolo). Il sistema dovrà erogare acqua solo quando è abilitato, viene richiesta l'acqua, la salinità è corretta e non sono presenti pesticidi. Nel caso in cui la salinità dell'acqua non sia corretta e/o siano presenti pesticidi e il sistema è abilitato, l'acqua non verrà erogata e deve essere attivato l'indicatore di pericolo. In tutti gli altri casi, le uscite risultano non essere attive (acqua non erogata ed indicatore di pericolo spento). Si ricavino le equazioni booleane di costo minimo e si calcoli il costo totale del sistema.
- 2) Si consideri un sistema che acquisisce due valori A e B . A assume valori nel range $[-2, 3]$, mentre B assume valori nel range $[-1, 6]$; entrambi i valori hanno risoluzione pari ad 1. Si progetti un circuito logico in grado di indicare Quando il valore A è minore del valore B . Si modifichi poi il circuito supponendo che B sia uguale al valore -1.
- 3) Si descriva il funzionamento di un buffer a tre stati e si indichi come possa essere utilizzato per realizzare una porta bidirezionale, discutendo nel dettaglio tutti i casi che si possono verificare durante il funzionamento della porta.
- 4) Un circuito sequenziale va riprogettato per ridurre il costo. Il circuito da riprogettare è descritto dalle seguenti equazioni:

$$\begin{aligned}D_A &= BC\bar{X} \\D_B &= B\bar{C} + A\bar{C} + A\bar{X} + \bar{B}C\bar{X} + \bar{A}\bar{B}\bar{C}\bar{X} \\D_C &= BC + AC + AX + BX + \bar{A}\bar{B}\bar{C}\bar{X} \\Z &= C + \bar{A}\bar{B}\end{aligned}$$

Dove A , B e C sono i bit di stato (A è il bit di peso più significativo), X è l'ingresso e Z l'uscita e le codifiche 110 e 111 non sono state utilizzate. Il circuito deve essere riprogettato in modo da essere di costo minimo, utilizzando solo flip-flop di tipo D. Si calcoli il costo degli ingressi del circuito originale e di quello riprogettato, considerando il costo del singolo flip-flop pari a 14.

- 5) Si progetti un contatore che effettui il conteggio da -2 a 2, utilizzando solo flip-flop di tipo JK. Nel caso ci siano combinazioni non utilizzate in fase di progetto, considerarle come condizioni di non specificazione. Ricavale le equazioni booleane del sistema e ricavare il diagramma di stato, indicando cosa accadrebbe in uscita qualora si presentassero combinazioni considerate come condizioni di non specificazione in fase di progetto. Calcolare infine il costo totale del sistema assumendo che il singolo flip-flop abbia costo pari a 14. Discutere come il presentarsi di stati considerati come condizioni di non specificazione

dovrebbe essere trattato nel caso di utilizzo del contatore per realizzare dispositivi con diverse caratteristiche.

- 6) Si descrivano la struttura ed il funzionamento di un registro a caricamento parallelo con possibilità di scorrimento dati in un'unica direzione.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Si indichi come andrebbe modificato il codice per effettuare lo shift nella direzione opposta. Includere un ingresso SET con priorità minore rispetto all'ingresso di RESET e che imposti tutti i bit dell'uscita ad 1. Infine, includere una porta di uscita W che indichi la presenza di un numero pari all'interno del registro.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     shift <= "00000";
17:                 elsif(rising_edge(clk) ) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);

23: end arch;
```