

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270 e DM 509
24 giugno 2025

CANDIDATO:

n. matricola:

- 1) Si progetti un circuito per il gioco del tris in cui partecipano due giocatori. Il gioco utilizza una griglia quadrata di 3 x 3 caselle. A turno, i giocatori scelgono una cella vuota e vi collocano il proprio simbolo (solitamente un giocatore sceglie la X e l'altro sceglie il O). Vince chi riesce a disporre tre dei propri simboli in una linea retta orizzontale, verticale o diagonale. Progettare un circuito logico in cui ogni casella è rappresentata da un valore V secondo lo schema sottostante e che indichi la vittoria del giocatore 1 (uscita P1 uguale ad 1 ed uscita P2 uguale a 0) oppure la vittoria del giocatore 2 (uscita P1 uguale a 0 ed uscita P2 uguale ad 1).

V_0	V_1	V_2
V_3	V_4	V_5
V_6	V_7	V_8

Ciascun segnale V sarà uguale ad 1 quando viene posizionato il simbolo X, a 0 quando viene posizionato il simbolo O e si troverà in alta impedenza qualora non sia stato posizionato nessun simbolo. Si ricavino le equazioni di P1 e P2 nella forma più opportuna, giustificando le scelte fatte. Supponendo di avere a disposizione solo porte NAND e NOR, si ipotizzi, giustificando la risposta, quale implementazione tecnologica possa risultare a costo minimo per ciascuna delle due uscite.

- 2) Si realizzi un sistema in grado di indicare l'uguaglianza tra due misure effettuate da due differenti sensori. Il primo sensore A effettua una misura nel range $[-5, 2]$ con una risoluzione di 0.5, mentre il secondo sensore B effettua la misura nel range $[0, 4]$ con una risoluzione di 0.25. Si specializzi poi il sistema supponendo che il valore di A sia pari a 0.
- 3) Si descriva la generica struttura di una memoria ROM, spiegando il ruolo di ogni componente. Si realizzino poi le seguenti funzioni booleane con un'opportuna ROM:

$$\begin{aligned}A &= XY + ZX \\ B &= \Sigma(0,1,4,5) \\ C &= \Pi(4,5,6,7)\end{aligned}$$

- 4) Si progetti un sistema di confezionamento di prodotti che inserisce, in ciascuno scatolone 42 unità del singolo prodotto. Le singole unità di prodotto vengono trasportate, a gruppi di 6, su un nastro trasportatore. Si progetti lo schema a blocchi del sistema che produce un impulso ogni volta che sul nastro trasportatore sono passati 42 unità di prodotto. Insieme a questa uscita, il sistema dovrà produrre delle uscite binarie, su un numero minimo di bit, che indichino in codice binario il numero di unità di prodotto attualmente presenti all'interno dello scatolone (le uscite dovranno valere 6, 12, 18, ..., 42). Per ciascun componente utilizzato, si indichino le equazioni booleane, oppure le equazioni dei singoli componenti che formano un blocco ad un livello di astrazione più elevato.
- 5) Si progetti un circuito in grado di riconoscere la sequenza 111 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z. L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 11 e l'ingresso corrente vale 1. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la

presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale. Si utilizzi la codifica one-hot per assegnare codici agli stati e si utilizzino solo flip-flop di tipo D. Si preveda inoltre un circuito in grado di riconoscere malfunzionamenti all'interno del circuito. Quanto vale il costo degli ingressi del circuito, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)?

- 6) Si descrivano struttura e funzionamento, riportando anche le equazioni booleane di un contatore binario ad incremento e decremento.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register a 5 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Si indichi come andrebbe modificato il codice per aggiungere una porta DIR che indichi in quale direzione effettuare lo shift. Includere un ingresso SET con priorità maggiore rispetto all'ingresso di RESET e che imponga tutti i bit dell'uscita ad 1. Infine, includere una porta di uscita W che indichi la presenza della parola 01101 all'interno del registro.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:         begin
15:             if(reset='1') then
16:                 shift <= "00000";
17:             elsif(rising_edge(clk) ) then
18:                 shift <= shift(3 downto 0) & si;
19:             end if;
20:         end process;
21:         Q <= shift;
22:         so <= shift(4);

23: end arch;
```