

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270 e DM 509
18 luglio 2025

CANDIDATO:

n. matricola:

- 1) Si semplifichi la seguente espressione logica indicando chiaramente teoremi, proprietà e/o identità utilizzate.

$$K = \overline{\overline{X \overline{Y}} \overline{X} Y Z} \overline{\overline{X} Y Z}$$

Implementare la funzione semplificata con un opportuno multiplexer.

- 2) Si descrivano struttura e caratteristiche di una memoria ROM. Data una ROM 256 X 4 con ingresso di abilitazione, si progetti una memoria ROM 1024 X 8 utilizzando un numero opportuno di chip ed un decodificatore.
- 3) Si descrivano i diversi metodi utilizzabili per generare i bit di configurazione di una FPGA, discutendo per ciascuno di questi le principali caratteristiche.
- 4) Si progetti un circuito in grado di riconoscere la sequenza 11011 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z. L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 1101 e l'ingresso corrente vale 1. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale. Si utilizzi la codifica one-hot per assegnare codici agli stati e si utilizzino solo flip-flop di tipo D. Quanto vale il costo degli ingressi del circuito, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)? Esempio di sequenza da riconoscere:

X: 0 0 0 1 0 0 1 0 0 1 1 0
uscita Z: 0 0 0 0 0 0 1 0 0 1 0 0

- 5) Si progetti un contatore all'indietro su 3 bit, adottando la codifica on valore assoluto. Il contatore dovrà inoltre essere dotato di un'uscita CO che indichi il raggiungimento del minimo valore della sequenza. Si realizzi il progetto utilizzando solo flip-flop di tipo D. Come andrebbe modificato il circuito per utilizzare solo flip-flop di tipo JK, ma senza modificare le equazioni di ingresso ai flip-flop ricavate per il progetto con flip-flop di tipo D? Come cambierebbe il progetto se si utilizzassero flip-flop sensibili al fronte di discesa invece che al fronte di salita? Come andrebbero modificate le equazioni per includere un segnale di enable attivo basso che blocchi il conteggio quando il circuito viene disabilitato e lo faccia proseguire dal valore corretto una volta abilitato? Si calcoli il costo degli ingressi assumendo che il costo di un singolo flip-flop sia pari a 14.
- 6) Facendo riferimento ad un generico registro, si descriva la tecnica del clock gating, evidenziandone i limiti e come questi possano essere risolti.
- 7) Si consideri il seguente codice VHDL che descrive un contatore a 6 bit. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Si indichi come andrebbe modificato il codice per aggiungere una porta enable attiva bassa. Modificare il codice per effettuare un conteggio all'indietro. Infine,

modificare il codice per includere una porta di set attiva bassa con priorità maggiore rispetto al reset che inizializzi il contenuto del registro con la parola a 6 bit contenuta in una nuova porta INIT.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity cnt6 is
5:     port(
6:         clk, reset : in std_logic;
7:         Q : out std_logic_vector(5 downto 0);
8:         co : out std_logic
9:     );

10: end cnt6;

11: architecture arch of cnt6 is
12:     signal count : unsigned(5 downto 0);
13:     begin
14:         process(clk,reset)
15:         begin
16:             if(reset='1') then
17:                 count <= "000000";
18:             elsif(rising_edge(clk) ) then
19:                 count <= count + "000001";
20:             end if;
21:         end process;
22:         Q <= std_logic_vector(count(5 downto 0));
23:         co <= '1' when std_logic_vector(count(5 downto 0)) = "111111" else
24:             '0';

25: end arch;
```