

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
 Lauree in Ing. Elettronica e Informatica DM 270
 5 settembre 2025

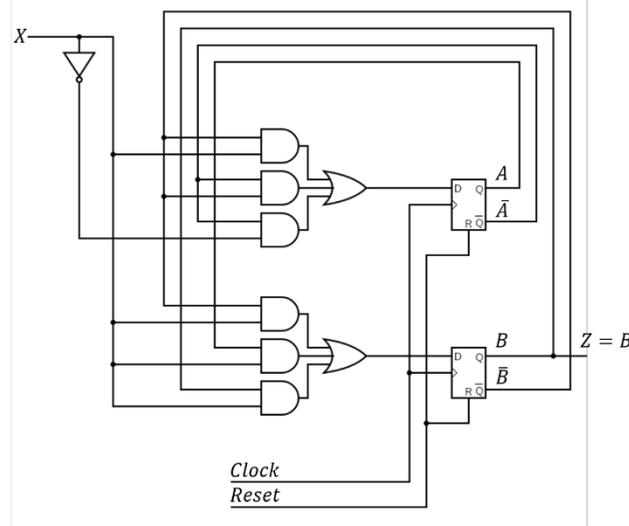
CANDIDATO:

n. matricola:

- 1) Si semplifichi la seguente funzione logica, indicando teoremi, identità e/o proprietà utilizzate. Si realizzi poi la funzione minimizzata utilizzando un opportuno multiplexer.

$$F = \bar{A} \bar{C} \bar{D} + B \bar{C} \bar{D} + A \bar{C} \bar{D} + \bar{A} C \bar{D} + B C \bar{D} + A C \bar{D} + B \bar{C} D + B C D + \frac{\bar{A} \bar{C} + A D + A C + \bar{A} \bar{C} + \bar{A} D + \bar{A} C}{\bar{A} \bar{C} + A D + A C + \bar{A} \bar{C} + \bar{A} D + \bar{A} C}$$

- 2) Si realizzi una memoria ROM 96x16 utilizzando solo dei chip 16x4 ed un opportuno decodificatore, commentando ciascuno dei passaggi fatti.
- 3) Nella realizzazione di un progetto si fa spesso uso di tecnologie come PAL o PLA. Si spieghino i differenti passi che un progettista deve effettuare per sviluppare un progetto adatto ad un PAL o ad un PLA. Si applichino poi i passi spiegati al punto precedente alla realizzazione, tramite PLA, la conversione da codifica BCD a codifica Gray.
- 4) Il circuito sequenziale rappresentato dal diagramma logico va riprogettato per ridurne il costo. I bit di stato sono indicati con A e B (dove A è il bit meno significativo), l'ingresso è indicato con X e l'uscita con Z. Il circuito deve essere riprogettato in modo da essere di costo minimo, utilizzando solo flip-flop di tipo D. Si calcoli il costo degli ingressi del circuito originale e di quello riprogettato, considerando il costo del singolo flip-flop pari a 14.



- 5) Un sistema deve generare in uscita la sequenza 101010. Il circuito dispone di un ingresso X. Quando il circuito è nello stato di riposo (non sta generando la sequenza) ed X=0, il circuito resta nello stato di riposo. Quando X=1 il circuito inizia a generare la sequenza. Una volta avviato, il circuito completa la sequenza indipendentemente dal valore assunto dall'ingresso X. Se X=1 durante la generazione dell'ultimo bit della sequenza, la sequenza viene ripetuta, altrimenti il circuito torna nello stato di riposo. Nello stato di riposo il valore dell'uscita è fisso a 0. Si realizzi il circuito adottando la codifica one-hot e si indichi come va gestito il

segnale di reset. Si calcoli il costo degli ingressi del circuito considerando il costo del singolo flip-flop pari a 14.

- 6) Si descrivano come i registri a scorrimento possano essere utilizzati come interfaccia per i sistemi digitali.
- 7) Si consideri il seguente codice VHDL che descrive un decodificatore. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento) indicando quale tipo di descrizione è stata utilizzata. Spiegare poi come dovrebbe essere modificato il codice per includere una porta di enable attiva bassa. Modificare poi il codice per rendere il decodificatore sincrono e negative edge triggered. Infine, si introduca una porta che conteggi, su 4 bit, quante volta in uscita è stato visualizzato il valore 1100.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity decoder is
4:     port(
5:         A1,A0 : in std_logic;
6:         D0,D1,D2,D3 : out std_logic
7:     );
8:
9: end decoder;

10: architecture arch of decoder is
11: begin
12:     D0 <= ((not A0) and (not A1));
13:     D1 <= (A0 and (not A1));
14:     D2 <= ((not A0) and A1);
15:     D3 <= A0 and A1;
16: end arch;
```