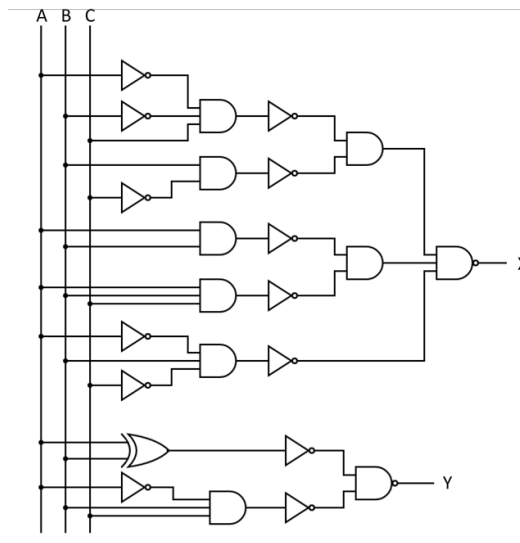


Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
23 gennaio 2026

CANDIDATO:

n. matricola:

- 1) Si consideri il seguente diagramma logico che descrive le funzioni X ed Y. Assumendo che ciascuna porta logica abbia un tempo di propagazione da valore logico basso a valore logico alto (t_{PLH}) di 0,3 ns ed un tempo di propagazione da valore logico alto a valore logico basso (t_{PHL}) di 0,5 ns, quale sarebbe il ritardo di propagazione di ciascuna delle due uscite? Quale sarebbe il ritardo di propagazione totale del circuito complessivo che produce sia X che Y? Semplificare infine le due funzioni in forma minima e per la sola funzione X proporre un'implementazione a costo minimo utilizzando un opportuno multiplexer.



- 2) Si realizzi un sistema, adottando un numero minimo di bit, che effettui l'operazione $(A+B)/2$ quando il segnale di controllo F vale 0, $(A-B)/2$ altrimenti. I valori di A e B assumono valori nel range $[8,-2]$. Il sistema dovrà essere in grado di rappresentare correttamente tutti i risultati possibili in funzione del range dei segnali A e B.
- 3) Si descriva la struttura di un dispositivo PAL e di un dispositivo PLA, discutendo in particolare i differenti passi che permettono di implementare una funzione logica arbitraria su questi dispositivi, evidenziando e motivando le differenze.
- 4) Si progetti un contatore Gray modulo 6 utilizzando solo flip-flop JK. Si considerino le combinazioni non utilizzate come stati di non specificazione. Disegnare il diagramma degli stati, indicando cosa accadrebbe qualora si presentassero in uscita le combinazioni considerate come condizioni di non specificazione. Si calcoli il costo totale del circuito considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT).
- 5) Si progetti un circuito in grado di riconoscere la sequenza 101010 all'interno di una sequenza arbitraria di bit. Il circuito dovrà essere dotato di un ingresso X e di un'uscita Z. L'uscita Z dovrà assumere il valore 1 tutte le volte che all'ingresso X sono già stati applicati i valori 10101 e l'ingresso corrente vale 0. In tutti gli altri casi l'uscita Z deve valere 0. Si preveda anche la presenza di un segnale di Reset asincrono che riporti il circuito nello stato iniziale (disegnare il dettaglio circuitale). Si utilizzi la codifica one-hot per assegnare codici agli stati

e si utilizzino solo flip-flop di tipo D. Quanto vale il costo degli ingressi del circuito, considerando il costo di ogni singolo flip-flop pari a 14 (ignorare il costo delle porte NOT)?

Esempio di sequenza da riconoscere: X: 0 0 0 0 1 0 1 0 1 0 1 0

uscita Z: 0 0 0 0 0 0 0 0 0 1 0 1

- 6) Si descrivano struttura e funzionamento di un latch SR. Modificare poi il latch appena descritto per includere un ingresso di controllo C e trasformare poi il circuito in un latch D. Spiegare, in entrambi i casi, il funzionamento del circuito realizzato.
- 7) Si consideri il seguente codice VHDL che descrive un full adder. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento) indicando quale tipo di descrizione è stata utilizzata. Spiegare poi come dovrebbe essere modificato il codice per includere una porta di enable attiva bassa. Modificare poi il codice per rendere il sommatore sincrono e negative edge triggered. Infine, si introduca una portache indichi la presenza di un multiplo di 4 nel risultato.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity adder4v2 is
5:     port(
6:         A,B : in std_logic_vector(3 downto 0);
7:         S  : out std_logic_vector(3 downto 0)
8:     );

9: end adder4v2;

10: architecture arch of adder4v2 is
11:     signal sum : unsigned(3 downto 0);

12:     begin
13:         sum <= unsigned(A)+unsigned(B);
14:         S <= std_logic_vector(sum(3 downto 0));

15: end arch;
```