

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
19 febbraio 2026

CANDIDATO:

n. matricola:

- 1) Si descriva l'operazione di decodifica. Descrivere poi l'architettura ed il funzionamento di un decodificatore 2-4 con ingresso di abilitazione attivo basso. Si descriva poi, considerando tutti i possibili casi, come un decodificatore possa essere utilizzato per realizzare una generica funzione booleana. Realizzare poi, commentando opportunamente tutte le scelte progettuali, la seguente funzione booleana, ponendo particolare attenzione all'ottimizzazione del circuito risultante.

$$F = A \oplus B + A\bar{C}$$

- 2) Si progetti un sistema che riceve in ingresso 4 numeri interi in valore assoluto rappresentati su 4 bit. Il sistema deve essere in grado di calcolare il valore medio dei 4 valori in ingresso, ponendo in uscita il risultato corretto, su un numero opportuno di bit. Si calcoli poi, giustificando adeguatamente la risposta, il tempo di ritardo totale del circuito, assumendo che tutte le porte logiche abbiano un ritardo pari a 3 ns.
- 3) Si descriva la generica architettura di un dispositivo FPGA, approfondendo in particolare l'utilità dei blocchi logici programmabili. Descrivere poi la struttura di una LUT a 2 ingressi e spiegare come questa struttura possa essere estesa per costruire LUT con più ingressi.
- 4) Un circuito sequenziale è descritto dalle seguenti equazioni di stato:

$$\begin{aligned}D_A &= BX + \bar{A}BX \\D_B &= B \oplus X + \bar{A}B\bar{X} \\D_C &= A + \bar{B} + \bar{C} + \bar{X} + A\bar{B} \\Z &= B\end{aligned}$$

dove A indica il bit di peso più significativo e C quello di peso meno significativo. Inoltre, le combinazioni 101, 110 ed 111 sono state considerate come combinazioni di non specificazione in fase di progetto. Si riprogetti il circuito adottando un'opportuna codifica a costo minimo che permetta di rilevare eventuali malfunzionamenti del circuito, motivando opportunamente la risposta. Calcolare il costo finale del circuito assumendo che ciascun flip-flop abbia un costo pari a 14.

- 5) Un sistema di imballaggio industriale riceve componenti meccanici tramite un nastro trasportatore. Un sensore rileva il passaggio di un lotto di 7 pezzi meccanici allineati tra loro, generando un impulso di breve durata. Il sistema di confezionamento deve essere in grado di confezionare 42 pezzi meccanici (cioè 6 lotti) all'interno di un singolo imballaggio. Si progetti il sistema di conteggio dei pezzi meccanici che visualizzi, ad ogni istante, quanti pezzi sono stati inseriti all'interno del singolo imballaggio (7, 14, 21, 28, 35, 42) e che invii un impulso quando è stato raggiunto il numero corretto di pezzi meccanici da inserire nell'imballaggio. Per il sistema di conteggio si utilizzino blocchi logici fondamentali, porte logiche elementari e flip-flop JK (riportare le equazioni di ciascun blocco utilizzato). Si calcoli, motivando opportunamente la risposta, il costo totale del sistema assumendo che il singolo flip-flop abbia un costo pari a 14.

- 6) Si descriva la generica struttura di un circuito sequenziale, evidenziando quali elementi sono essenziali e quali opzionali. Descrivere poi la più semplice struttura logica per memorizzare l'informazione e discuterne una possibile implementazione basata su porte logiche elementari, evidenziandone le principali limitazioni.
- 7) Si consideri il seguente codice VHDL che descrive uno shift register. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di enable attiva alta. Modificare poi il codice per includere una porta DIR che permetta di scegliere la direzione di shift. Infine, si introduca una porta che conteggi, su 4 bit, quante volta in uscita è stato immagazzinato il valore 1100 all'interno del registro.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     shift <= "00000";
17:                 elsif(rising_edge(clk)) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);
23: end arch;
```