

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
1 aprile 2026

CANDIDATO:

n. matricola:

- 1) Un sistema acquisisce valori da 3 sensori differenti, A, B e C. Il sensore A acquisisce dati nel range [-1,5], il sensore B nel range [2,4] ed il sensore C nel range [-2,1]. La risoluzione del sensore A è 1, quella del sensore B 0.5 e quella del sensore C 0.25. Si progetti un sistema che, in base ad un bit di controllo OP esegua l'operazione A+B se OP=1, o l'operazione A-C se OP=0, rappresentando correttamente tutti i possibili risultati.
- 2) Si realizzi il sistema di controllo di un impianto di produzione. Gli ingressi sono la temperatura dell'olio T_O (0 se la temperatura è corretta, 1 altrimenti), la temperatura del motore T_M (0 se la temperatura è corretta, 1 altrimenti) e la temperatura dell'acqua T_A (1 se la temperatura è corretta, 0 altrimenti), 4 sensori di usura U_i con $i=0, \dots, 3$ ($U_i=0$ in presenza di usura, $U_i=1$ altrimenti), un sensore di presenza di materiale M (1 se è presente il materiale, 0 altrimenti), un sensore di presenza di benzina B (0 se è presente la benzina, 1 altrimenti) ed in pulsante EN di avvio della produzione (0 per avviare la produzione, 1 per fermarla). Le uscite sono il nastro trasportatore della linea di produzione N (0 per attivare il nastro, 1 altrimenti) e l'indicatore di situazione pericolosa P (1 per indicare pericolo, 0 altrimenti). L'impianto avvia il nastro trasportatore se e solo se il pulsante EN è pari a 0, tutte le temperature sono corrette, non c'è usura ed è presente il materiale e la benzina. L'indicatore P viene attivato solo quando EN vale 0 e il sistema rileva almeno una temperatura scorretta o almeno una situazione di usura. Si ricavino le equazioni a costo minimo del sistema. Calcolare il costo totale del sistema.
- 3) Si descriva l'operazione di mappatura tecnologica, motivando accuratamente per quale ragione viene effettuata. Si indichi poi, motivando accuratamente la risposta, quale tipo di mappatura tecnologica risulta più adatto in base alla forma in cui viene espressa una funzione booleana.

- 4) Un circuito sequenziale è descritto dalle seguenti equazioni di stato:

$$\begin{aligned}D_A &= (\overline{B} + X)(\overline{A} + \overline{X}) \\D_B &= \overline{A} + \overline{X} \\D_C &= (\overline{B} + \overline{X})(\overline{A} + X) \\Z &= \overline{A} \overline{B}\end{aligned}$$

dove A indica il bit di peso più significativo e C quello di peso meno significativo. Inoltre, le combinazioni 101, 110 ed 111 sono state considerate come combinazioni di non specificazione in fase di progetto. Si riprogetti il circuito adottando un'opportuna codifica a costo minimo che permetta di rilevare eventuali malfunzionamenti del circuito, motivando opportunamente la risposta. Calcolare il costo finale del circuito assumendo che ciascun flip-flop abbia un costo pari a 14.

- 5) Si progetti un contatore Gray all'indietro modulo 7 utilizzando solo flip-flop di tipo D. Il contatore dovrà essere dotato di un'uscita aggiuntiva che indichi la presenza di un numero primo all'interno del contatore. Si ricavino le equazioni minime e si calcoli il costo degli ingressi del circuito, assumendo che ciascun flip-flop abbia un costo pari a 14. Si disegni il

diagramma si stato del circuito e si indichi cosa accadrebbe qualora si presentassero in uscita combinazioni considerate come condizioni di non specificazione. Modificare infine il progetto per includere un segnale di abilitazione attivo basso che blocchi il conteggio quando pari ad 1 e lo faccia riprendere dal valore successivo a quello attuale quando vale 0.

- 6) Si descrivano struttura e funzionamento di un registro con possibilità di caricamento parallelo dei dati e di shift in entrambe le direzioni possibili.
- 7) Si consideri il seguente codice VHDL che descrive un sommatore/sottrattore. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di enable attiva alta. Modificare poi il codice per includere una porta OVF che indichi il verificarsi della condizione di overflow. Infine, si modifichi il sommatore per renderlo sincrono.

```
1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity addsub is
5:     port(
6:         A,B : in std_logic_vector(3 downto 0);
7:         sel : in std_logic;
8:         S   : out std_logic_vector(3 downto 0)
9:     );

10: end addsub;

11: architecture arch of addsub is
12:     signal res : signed(3 downto 0);

13:     begin
14:         with sel select
15:             res <= signed(A)+signed(B) when '0',
16:                 signed(A)+signed(not(B))+1 when '1',
17:                 "XXXX" when others;

18:         S <= std_logic_vector(res(3 downto 0));

19:     end arch;
```