

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
 Lauree in Ing. Elettronica e Informatica DM 270
 23 giugno 2026

CANDIDATO:

n. matricola:

1. Si ricavi la forma minima della funzione booleana rappresentata dalla seguente K-map.

	CD				
AB		00	01	11	10
00		1	1	1	1
01			1	1	
11		1			1
10		1			1

Si realizzi poi la funzione utilizzando solo porte NAND e solo porte NOR, calcolando per entrambe le implementazioni il costo ed indicando quale sia a costo minimo. Si implementi, infine, la funzione semplificata utilizzando un opportuno multiplexer.

2. Si descrivano struttura e caratteristiche di una memoria ROM, indicando la funzione di ciascun componente. Data una ROM 128 X 4 con ingresso di abilitazione, si progetti una memoria ROM 384 X 12 utilizzando un numero opportuno di chip ed un decodificatore.
3. Si descrivano la struttura ed il funzionamento di un buffer a tre stati. Indicare poi come il buffer possa essere utilizzato per realizzare una porta bidirezionale, descrivendone il funzionamento e le limitazioni. Proporre infine possibili soluzioni per superare le limitazioni descritte in precedenza.
4. Il sistema descritto dalla seguente tabella di stato deve essere riprogettato per ridurne la complessità.

Stato Presente	Stato Futuro		Uscita
	X=0	X=1	Z
A	B	A	0
B	D	B	1
C	B	A	0
D	C	E	0
E	D	B	1

Si riprogetti il circuito adottando un'opportuna codifica a costo minimo che permetta di rilevare eventuali malfunzionamenti del circuito, motivando opportunamente la risposta. Calcolare il costo finale del circuito assumendo che ciascun flip-flop abbia un costo pari a 14.

5. Si realizzi un contatore a costo minimo in complemento a 2 che conti da -3 a 4, utilizzando solo flip-flop J-K. Disegnare il diagramma di stato ed indicare cosa accadrebbe in uscita qualora si presentassero in ingresso eventuali combinazioni considerate come di non specificazione. Calcolare il costo totale del circuito assumendo che ciascun flip-flop abbia un costo pari a 14.

6. Si descriva la generica struttura di un dispositivo FPGA. Descrivere poi nel dettaglio i diversi metodi che permettono di generare lo stream di bit per la configurazione del dispositivo.
7. Si consideri il seguente codice VHDL che descrive un sommatore/sottrattore. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di set attiva bassa con meno priorità rispetto alla porta di reset. Modificare poi il codice per includere una porta OVF che indichi il verificarsi della condizione di overflow. Infine, si inserisca una porta M4 che indichi la presenza di un multiplo di 4 nel risultato.

```

1: library ieee;
2: use ieee.std_logic_1164.all;
3: use ieee.numeric_std.all;

4: entity addsub is
5:     port(
6:         A,B : in std_logic_vector(3 downto 0);
7:         sel, clk, reset : in std_logic;
8:         S : out std_logic_vector(3 downto 0)
9:     );

10: end addsub;

11: architecture arch of addsub is
12:     signal res : signed(3 downto 0);

13:     begin
14:         process(clk, reset)
15:             begin
16:                 if (reset='1') then
17:                     res<="0000";
18:                 elsif(rising_edge(clk) then
19:                     if(sel=0) then
20:                         res <= signed(A)+signed(B);
21:                     else
22:                         res <=signed(A)+signed(not(B))+1
23:                     end if;
24:                 end if;
25:             end process;
26:             S <= std_logic_vector(res(3 downto 0));

27: end arch;

```