

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
17 luglio 2026

CANDIDATO:

n. matricola:

1. Si descriva in dettaglio la struttura di un dispositivo PLA. Implementare poi le seguenti funzioni booleane con un PLA di costo minimo:

$$F_1 = \Sigma m(3,4,6,7)$$

$$F_2 = \Pi M(1,2,5)$$

Discutere infine come andrebbe svolto il progetto qualora si utilizzasse un PAL, evidenziando le differenze in fase di progetto.

2. Si descrivano la struttura ed il funzionamento di un multiplexer 4-1 e di un decoder 2-4, riportando (oltre alla spiegazione testuale del funzionamento) la tabella di verità e le equazioni booleane. Implementare poi la seguente funzione booleana sia con un opportuno multiplexer che con un opportuno decoder.

$$Y = \bar{A}B + A\bar{C} + \bar{A}\bar{B}C$$

3. Si descrivano i principali parametri tecnologici che caratterizzano una famiglia di porte logiche, dettagliando quale impatto hanno sul progetto di un circuito digitale
4. Un circuito sequenziale è descritto dalle seguenti equazioni di stato:

$$D_A = B\bar{C}\bar{X}$$

$$D_B = C\bar{X} + \bar{B}C + A\bar{X}$$

$$D_C = X + BC$$

$$Y = A + \bar{B}C + B\bar{C}$$

dove A indica il bit di peso più significativo e C quello di peso meno significativo. Inoltre, le combinazioni 101, 110 ed 111 sono state considerate come combinazioni di non specificazione in fase di progetto. Si riprogetti il circuito adottando un'opportuna codifica a costo minimo. Calcolare il costo del circuito iniziale e di quello finale, assumendo che ciascun flip-flop abbia un costo pari a 14. Discutere come andrebbe riprogettato il circuito qualora si adottassero flip-flop sensibili al fronte di discesa del clock invece che al fronte di salita del clock.

5. Si progetti un contatore in complemento a 2 che conti da -3 a 7. Realizzare il contatore utilizzando solamente flip-flop di tipo D. Disegnare il diagramma di stato ed indicare cosa accadrebbe qualora si presentassero in ingresso delle combinazioni considerate come di non specificazione in fase di progetto. Calcolare il costo del circuito assumendo che il costo di un singolo flip-flop sia pari a 14. Come andrebbe modificato il circuito per utilizzare solo flip-flop JK senza modificare le equazioni di ingresso ricavate in precedenza?
6. Si consideri un registro a caricamento parallelo. Si discuta la tecnica di gating del clock, descrivendo come viene implementata e quali problematiche comporta. Si descriva poi nel dettaglio una soluzione alternativa a tale tecnica.

7. Si consideri il seguente codice VHDL che descrive uno shift register. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di enable attiva bassa. Modificare poi il codice per includere una porta DIR che permetta di scegliere la direzione di shift. Infine, si inserisca una porta M8 che indichi la presenza di un multiplo di 8 nel risultato.

```
1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity sr5 is
4:     port(
5:         clk, reset, si : in std_logic;
6:         Q : out std_logic_vector(4 downto 0);
7:         so : out std_logic
8:     );

9: end sr5;

10: architecture arch of sr5 is
11:     signal shift : std_logic_vector(4 downto 0);
12:     begin
13:         process(clk,reset)
14:             begin
15:                 if(reset='1') then
16:                     shift <= "00000";
17:                 elsif(rising_edge(clk)) then
18:                     shift <= shift(3 downto 0) & si;
19:                 end if;
20:             end process;
21:             Q <= shift;
22:             so <= shift(4);
23: end arch;
```