

Prova d'esame di
RETI LOGICHE (Prof. E. Torti)
Lauree in Ing. Elettronica e Informatica DM 270
22 settembre 2026

CANDIDATO:

n. matricola:

1. Si descriva la struttura di un dispositivo PLA, evidenziandone l'utilità applicativa. Si realizzino poi, con un opportuno dispositivo PLA le seguenti funzioni logiche:

$$F_1 = \Sigma m(3,5,6,7)$$

$$F_2 = \Sigma m(1,2,3,7)$$

2. Si realizzi un circuito che è in grado di realizzare l'operazione $A+B$ se $OP=1$ e $C-A$ se $OP=0$. I segnali A, B e C sono espressi su 5 bit in complemento a 2. Facendo le opportune ipotesi, si calcoli il ritardo di propagazione del circuito assumendo che ciascuna porta logica abbia un ritardo di propagazione pari a 2 ns.
3. Si descriva l'operazione di codifica, evidenziando le principali problematiche e come queste possano essere risolte. Indicare poi tabella di verità, mappe di Karnaugh ed equazioni booleane di un encoder con 4 ingressi e priorità all'ingresso di peso maggiore.

4. Un circuito sequenziale è descritto dalle seguenti equazioni di stato:

$$D_A = \bar{X} \bar{A} C + X \bar{C}$$

$$D_B = \bar{X} \bar{C} + \bar{X} B + X \bar{B} C$$

$$D_C = \bar{B} C + X \bar{C}$$

$$Z = C$$

dove A indica il bit di peso più significativo e C quello di peso meno significativo. Inoltre, le combinazioni 100 e 111 sono state considerate come combinazioni di non specificazione in fase di progetto. Si riprogetti il circuito adottando un'opportuna codifica a costo minimo, motivando opportunamente la risposta. Calcolare il costo finale del circuito assumendo che ciascun flip-flop abbia un costo pari a 14.

5. Si realizzi un contatore in complemento a 2 in grado di contare da -2 a 7. Ricavare le equazioni di costo minimo, realizzando il progetto solo con contatori di tipo D. Disegnare il diagramma di stato del contatore, indicando cosa accadrebbe qualora si presentassero in uscita condizioni eventualmente considerate come di non specificazione in fase di progetto. Indicare come andrebbe collegato il segnale di reset (disegnare solo questo dettaglio circuitale, non tutto il circuito). Calcolare il costo degli ingressi assumendo che ogni flip-flop abbia un costo pari a 14.
6. Si descrivano struttura e funzionamento, riportando anche il diagramma circuitale e la tabella di verità, del latch SR e del latch $\bar{S}\bar{R}$.
7. Si consideri il seguente codice VHDL che descrive un flip-flop di tipo D. Commentare sinteticamente gli statement del codice (riportare sul foglio il numero della riga seguito dal relativo commento). Spiegare poi come dovrebbe essere modificato il codice per includere una porta di enable attiva bassa. Modificare poi il codice aggiungendo una porta set con priorità maggiore rispetto al reset. Modificare infine il codice per realizzare un flip-flop JK.

```

1: library ieee;
2: use ieee.std_logic_1164.all;

3: entity dff is
4:     port(
5:         D,clk,reset : in std_logic;
6:         Q : out std_logic
7:     );

8: end dff;

9: architecture arch of dff is
10:     begin
11:         process (clk,reset)
12:             begin
13:                 if (reset = '1') then
14:                     Q <= '0';
15:                 else if(rising_edge(clk)) then
16:                     Q <= D;
17:                 end if;
18:             end if;
19:         end process;
20: end arch;

```